

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of : Wataru KAWASAKI, et al.
Filed: : Concurrently herewith
For: : TRANSMISSION DEVICE
Serial No. : Concurrently herewith

JC555 U.S. PTO
09/997655
11/29/01

Assistant Commissioner for Patents
Washington, D.C. 20231

November 29, 2001

PRIORITY CLAIM AND
SUBMISSION OF PRIORITY DOCUMENT

S I R:

Applicant hereby claims priority under 35 USC 119 from **JAPANESE** patent application no. **2001-204163** filed **July 5, 2001**, a certified copy of which is enclosed.

Any fee, due as a result of this paper, not covered by an enclosed check, may be charged to Deposit Acct. No. 50-1290.

Respectfully submitted,



Linda S. Chan
Reg. No. 42,400

ROSENMAN & COLIN, LLP
575 MADISON AVENUE
IP Department
NEW YORK, NEW YORK 10022-2584
DOCKET NO.: FUJR 19.202
TELEPHONE: (212) 940-8800

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JCS55 U.S. PTO
09/997655
11/29/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 7月 5日

出 願 番 号

Application Number:

特願2001-204163

出 願 人

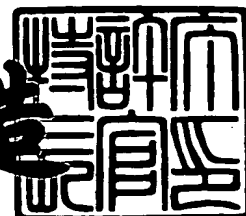
Applicant(s):

富士通株式会社

2001年 8月31日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3080074

【書類名】 特許願

【整理番号】 0140057

【提出日】 平成13年 7月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 29/02

【発明の名称】 伝送装置

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜 2 丁目 3 番 9 号 富士通デ
ィジタル・テクノロジ株式会社内

【氏名】 川崎 渡

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜 2 丁目 3 番 9 号 富士通デ
ィジタル・テクノロジ株式会社内

【氏名】 伊藤 淳

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100092152

【弁理士】

【氏名又は名称】 服部 毅巖

【電話番号】 0426-45-6644

【手数料の表示】

【予納台帳番号】 009874

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特 2 0 0 1 - 2 0 4 1 6 3

【物件名】 要約書 1

【包括委任状番号】 9705176

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 伝送装置

【特許請求の範囲】

【請求項 1】 信号の再生制御を行う伝送装置において、

入力信号の伝送レートにもとづいて、分周比を可変的に設定して、前記入力信号と発振出力との位相差が一定になるように位相同期制御を行い、前記伝送レートに応じたクロックタイミングを抽出するクロックタイミング抽出回路と、

前記入力信号に対し、電圧しきい値レベルと、抽出したクロックの位相とを順次スイープさせ、隣り合うモニタポイントのレベルが一致するか否かの判定を行って、アイパターンの有効領域内での最もエラー発生の低い識別点を自動測定し、前記識別点を最適点として再生制御を行う再生制御回路と、

を有することを特徴とする伝送装置。

【請求項 2】 前記クロックタイミング抽出回路は、入力信号と分周クロックとの周波数の位相を比較して、位相差を検出する位相比較手段と、前記位相差を平均化して制御電圧を生成する平均化手段と、前記制御電圧にもとづいて、同期クロックを発振する電圧制御発振手段と、分周比にもとづいて、前記同期クロックを分周して前記分周クロックを生成する分周手段と、前記制御電圧が設定範囲内にあるか否かを判断して、位相同期ループがロック状態であるか否かを認識し、認識結果により前記分周比を可変的に設定する位相同期ループ制御手段と、から構成されることを特徴とする請求項 1 記載の伝送装置。

【請求項 3】 前記位相同期ループ制御手段は、電源が断した場合には、断前の分周比を前記分周手段に設定し、前記入力信号が断した場合には、断前の制御電圧を前記平均化手段に設定することを特徴とする請求項 2 記載の伝送装置。

【請求項 4】 前記再生制御回路は、前記入力信号を前記電圧しきい値レベルを基準に信号判定し、前記入力信号から測定データを生成する電圧しきい値レベル設定手段と、前記クロックの位相を設定するクロック位相設定手段と、前記測定データの隣り合う前記モニタポイントにおけるレベルが一致するか否かを判定して判定情報を生成するレベル判定制御手段と、前記判定情報を保持する判定情報保持手段と、前記電圧しきい値レベルと、前記クロックの位相とを順次スイ

ープさせて取得した前記判定情報から、前記アイパターンの有効領域内での最もエラー発生の高い識別点を認識し、前記識別点を前記最適点として設定して再生制御を行う最適点設定手段と、から構成されることを特徴とする請求項 1 記載の伝送装置。

【請求項 5】 前記最適点設定手段は、前記入力信号の伝送レートに対応するエラーレートにもとづいてリセット周期を設定し、前記リセット周期にもとづいて、前記判定情報保持手段で保持されている前記判定情報のリセットを行うことを特徴とする請求項 4 記載の伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、伝送装置に関し、特に信号の再生制御を行う伝送装置に関する。

【0002】

【従来の技術】

インターネットをはじめとするマルチメディア時代を迎え、基幹通信系の光通信ネットワーク技術は、一層のサービスの高度化、広域化が望まれており、情報化社会に向けて急速に開発が進んでいる。

【0003】

また、光通信の回線容量は、現在主流の 2.4 Gb/s から 10 Gb/s へと切り替わりつつあり、このような回線の大容量高速化に伴って、光伝送系の受信部でも、より高性能化した受信機能が要求されている。

【0004】

光受信部の基本的な動作としては、受信した光信号を、まず、フォトダイオードで光／電気変換を行って、等化フィルタで波形整形及び雑音の帯域制限を施す。そして、タイミング抽出部でクロックタイミングを抽出し、識別判定部では抽出された同期クロックにもとづいて、“1”、“0”の識別判定を行って、データとして出力する。光受信部では、このような再生制御を行って、減衰し雑音が付加された光信号を、目標とするエラーレート（符号誤り率）以下となるように再生する。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかし、従来の光受信部では、タイミング抽出部に対し、SAW (Surface Acoustic Wave) フィルタが広く使用されており、SAW フィルタを用いて入力信号から特定のクロックタイミングを抽出していたため、単一の伝送レートしか対応できず、装置に汎用性がないといった問題があった。

【 0 0 0 6 】

一方、光ファイバ伝送に対して、光ファイバの屈折率は波長により異なり、また伝搬光路も波長によりわずかに異なるため、同一ファイバでも光の伝搬時間（速度）が異なってくる。このような現象を波長分散といい、これが光伝送品質を制約する要因となっている。

【 0 0 0 7 】

従来の光受信部では、波長分散により生じる波形劣化を測定し、識別判定部における最適点を、人手で装置毎に設定していた。また、このような最適点の設定を行う場合には、装置の製造ばらつきや温度、電源電圧変動等も考慮しなければならないため、非常に効率が悪く、利便性に欠けており、信頼性や品質の確保が困難であった。

【 0 0 0 8 】

本発明はこのような点に鑑みてなされたものであり、装置に汎用性を持たせ、かつ最適点設定を自動的に高精度に行って、信号の再生制御の信頼性及び品質の向上を図った伝送装置を提供することを目的とする。

【 0 0 0 9 】

【課題を解決するための手段】

本発明では上記課題を解決するために、図 1 に示すような、信号の再生制御を行う伝送装置 1 において、入力信号の伝送レートにもとづいて、分周比を可変的に設定して、入力信号と発振出力との位相差が一定になるように位相同期制御を行い、伝送レートに応じたクロックタイミングを抽出するクロックタイミング抽出回路 10 と、入力信号に対し、電圧しきい値レベルと、抽出したクロックの位相とを順次スイープさせ、隣り合うモニタポイントのレベルが一致するか否かの

判定を行って、アイパターンの有効領域内での最もエラー発生の低い識別点を自動測定し、その識別点を最適点として再生制御を行う再生制御回路 20 と、を有することを特徴とする伝送装置 1 が提供される。

【0010】

ここで、クロックタイミング抽出回路 10 は、入力信号の伝送レートにもとづいて、分周比を可變的に設定して、入力信号と発振出力との位相差が一定になるように位相同期制御を行い、伝送レートに応じたクロックタイミングを抽出する。再生制御回路 20 は、入力信号に対し、電圧しきい値レベルと、抽出したクロックの位相とを順次スイープさせ、隣り合うモニタポイントのレベルが一致するか否かの判定を行って、アイパターンの有効領域内での最もエラー発生の低い識別点を自動測定し、その識別点を最適点として再生制御を行う。

【0011】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。図 1 は本発明の伝送装置の原理図である。伝送装置 1 は、受信した信号の再生制御を行う。

【0012】

クロックタイミング抽出回路 10 は、入力信号の伝送レートにもとづいて、分周比を可變的に設定して、入力信号と発振出力との位相差が一定になるように位相同期制御を行う。そして、伝送レートに応じたクロックタイミングを抽出する。図 2 ～図 5 で詳細に説明する。

【0013】

再生制御回路 20 は、入力信号に対し、電圧しきい値レベルと、抽出したクロックのクロック位相とを順次スイープさせ、隣り合うモニタポイントのレベルが一致するか否かの判定を行って、アイパターンの有効領域内での最もエラー発生の低い識別点を自動的に測定する。そして、その識別点を最適点として再生制御を行う。図 6 以降で詳細に説明する。

【0014】

次にクロックタイミング抽出回路 10 について詳しく説明する。図 2 はクロックタイミング抽出回路 10 の構成を示す図である。クロックタイミング抽出回路

1 0 は、位相比較手段 1 1、平均化手段 1 2、電圧制御発振手段 1 3（以下、VCO 1 3）、分周手段 1 4、位相同期ループ制御手段 1 5 から構成される。

【0 0 1 5】

また、位相比較手段 1 1 は、2 つのフリップフロップ（以下、FF 1、FF 2）と排他論理和素子（以下、EOR 1）から構成され、平均化手段 1 2 は、アンプ 1 2 a、ローパスフィルタ 1 2 b（以下、LPF 1 2 b）から構成される。

【0 0 1 6】

位相比較手段 1 1 は、受信した入力信号と、分周クロック CK 2 との周波数の位相を比較して、位相差をデューティとして検出する。平均化手段 1 2 は、アンプ 1 2 a を通じて入力された位相差（位相差が情報化されたパルス列）を、LPF 1 2 b により平均化（高周波成分を遮断して直流化）して、制御電圧 V c を出力する。

【0 0 1 7】

VCO（Voltage Controlled Oscillator）1 3 は、制御電圧 V c にもとづいて、同期クロック CK 1（以下、VCO クロック CK 1）を発振する（なお、VCO 1 3 は、入力信号の伝送レートの最高周波数まで発振可能である）。分周手段 1 4 は、カウンタで構成され、VCO クロック CK 1 を分周して、分周クロック CK 2 を生成する。

【0 0 1 8】

ここで、位相同期ループ制御手段 1 5 は、制御電圧 V c を常時モニタしており、制御電圧 V c が、あらかじめ設定したしきい値（下限しきい値 V c 1、上限しきい値 V c 2）の範囲内にあるか否かを判断する。

【0 0 1 9】

制御電圧 V c が設定範囲内にあれば（ $V c 1 < V c < V c 2$ を満たせば）、位相同期ループ（PLL）がロック（LOCK）状態であると認識する。また、制御電圧 V c が設定範囲内になければ（ $V c 1 < V c < V c 2$ を満たさなければ）、PLL がアンロック状態であると認識する。

【0 0 2 0】

そして、PLL のロック外れの場合には、現在の分周比を変更し、ロックする

まで分周比を逐次設定していく。このようにして、入力信号の伝送レートに追従してクロックタイミングの抽出制御を行う。

【 0 0 2 1 】

ここで、分周比は、VCO 1 3 の発振周波数の可変範囲により決定する。また、 $1/n$ の分周を行う分周手段 1 4 の “n” の決定に際しては、VCO クロック CK 1 のクロックレートに対して、どこまでレートの低い $1/n$ 倍データの入力信号まで対象とするかによって、カウンタのビット数を設定する。

【 0 0 2 2 】

一方、位相同期ループ制御手段 1 5 は、制御電圧 V_c と、設定した分周比とを記憶しており、電源投入時は、電源断した前回の分周比を分周手段 1 4 に設定する（ただし、PLL のロックはずれ情報は、PLL が安定化するまでマスクする）。

【 0 0 2 3 】

さらに、入力信号が断した場合には（入力信号の断検出制御としては、例えば、制御電圧 V_c が、設定したしきい値の範囲から外れたか否かを見る方法や、位相差のパルスエッジが一定時間の間に 1 回もない場合を断として検出する等の方法を用いる）、断前の制御電圧 V_c をアンプ 1 2 a に送信して、断前のクロック周波数を VCO 1 3 から発振させる。このような制御を行うことで、クロック供給の安定化を図ることが可能になる。

【 0 0 2 4 】

なお、再生制御回路 2 0 の処理で、クロック位相をスワイプさせるために、後述の最適設定手段により、アンプ 1 2 に電圧を与えて制御電圧 V_c の DC レベルのオフセット調整を行い、VCO クロック CK 1 の位相を変化させる制御が行われる。図 1 4 ～図 1 8 で後述する。

【 0 0 2 5 】

次に位相比較手段 1 1 について説明する。図 3 ～図 5 は位相比較手段 1 1 の動作を示すタイミングチャートである。図 3 では、PLL ロック時の入力信号と分周クロック CK 2 とが同レートの場合を示している。

【 0 0 2 6 】

入力信号（ここでは、0/1 交番のクロックイメージで表す）の1ビット内に分周クロックCK2の立ち上がりエッジと、次の立ち下りエッジが入っているため、分周クロックCK2の立ち上がりエッジで打ち抜いたFF1出力と、立ち下りエッジで打ち抜いたFF2出力が互いに90°位相のずれたデータとなる。このFF1、FF2出力を、EOR1により比較すると、デューティ（Duty）=50%の位相差データとなる。

【0027】

そして、この位相差データをLPF12bで平均化した制御電圧Vcは、デューティ100%のときの電位V1と、デューティ0%のときの電位V2との中心電位になる。例えば、LPF12bがECL（Emitter Coupled Logic）素子で構成されているならば、 $V1 = -0.8V$ 、 $V2 = -1.8V$ 程度となるので、 $Vc = -1.3V$ となる。

【0028】

図4では、図3の状態から入力信号の位相状態が変化した場合を示している。分周クロックCK2の立ち上がりエッジと次の立ち下りエッジが入力信号の変化点をまたいでいる（1ビット内に入っていない）が、FF1出力とFF2出力は90°ずれたデータとなり、EOR1による位相比較結果は、図3と同様にデューティ=50%となる。したがって、入力信号の伝送レートが変わらない限り、位相が変わってもEOR出力はデューティ=50%であり、分周比変更の契機とはならない。

【0029】

図5では、入力信号の伝送レートが1/2に変化した場合を示している。分周クロックCK2の周期の倍のデータが入力されたことで、FF1出力とFF2出力は倍の周期となり、位相差は45°となる。そして、FF1、FF2出力を、EOR1により比較すると、デューティ=25%の位相差データとなる。

【0030】

この位相差データをLPF12bで平均化した制御電圧Vcは、デューティ100%、0%のときの電位V1、V2に対し、電位V2から1/4上方にある電位になる。例えば、LPF12bがECL（Emitter Coupled Logic）素子で構

成されているならば、 $V_1 = -0.8\text{ V}$ 、 $V_2 = -1.8\text{ V}$ 程度となるので、 $V_c = -1.55\text{ V}$ となる。

【0031】

このように、位相比較手段11では、入力信号に対し、分周クロックCK2の立ち上がりエッジでのレベルと、立ち下りエッジでのレベルとの排他的論理和をとって、位相差をデューティとして検出し、平均化手段12では、この検出結果に応じた制御電圧 V_c を生成する。そして、制御電圧 V_c に応じた分周比を設定する構成とした。これにより、入力信号の伝送レートを、精度よく認識することが可能になる。

【0032】

以上説明したように、本発明のクロックタイミング抽出回路10は、入力信号の伝送レートにもとづいて、分周比を可變的に設定して、入力信号と発振出力との位相差が一定になるようにPLL制御を行い、伝送レートに応じたクロックタイミングを抽出する構成とした。

【0033】

これにより、従来のように、入力信号の伝送レート毎に特化した装置開発を行う必要がなく、本発明によって、柔軟性及び汎用性のあるクロックタイミング抽出制御を行うことが可能になる。

【0034】

次に再生制御回路20について以降詳しく説明する。図6は再生制御回路20の構成を示す図である。再生制御回路20は、電圧しきい値レベル（以下、 V_{ref} ）設定手段21、レベル判定制御手段22、クロック位相設定手段23、判定情報保持手段24、最適点設定手段25から構成される。

【0035】

V_{ref} 設定手段21は、最適点設定手段25の V_{ref} 設定制御により設定された V_{ref} により、入力信号を V_{ref} 値を基準に信号判定（0，1論理判定）して、入力信号から測定データを生成する。クロック位相設定手段23は、最適点設定手段25からの位相設定制御及びVCOクロックCK1にもとづいて、クロックの位相を設定してクロックCK3を出力する。

【 0 0 3 6 】

レベル判定制御手段 2 2 は、クロック C K 3 の現クロック及び一定時間遅延させた遅延クロックによる測定データにおける、隣り合うモニタポイントのレベルの一致状態を判定し（レベル不一致ならエラーあり、レベル一致ならエラーなし）、判定情報を生成する。判定情報保持手段 2 4 は、レベル判定制御手段 2 2 で検出された判定情報を保持する。

【 0 0 3 7 】

最適点設定手段 2 5 は、C P U 機能を有しており、V r e f 設定手段 2 1 への V r e f 設定制御、クロック位相設定手段 2 3 への位相設定制御及び平均化手段 1 2 へのオフセット調整制御を行って、V r e f 及びクロック位相を順次スweepさせる。そして、判定情報から、アイパターンの有効領域内での最もエラー発生の高い識別点を判定し、その識別点を最適点として設定して再生制御を行う。なお、各構成手段の構成及び動作については後述する。

【 0 0 3 8 】

次に本発明が解決したい問題点について詳しく説明する。図 7 はアイパターンを説明するための模式図である。（A）は理想のアイパターン波形、（B）は実際のアイパターン波形である。伝送信号には波形劣化が生じる。このような伝送信号に対して、オシロスコープなどの測定器でクロックに同期をかけて、信号を重ね合わせていくと、アイパターンを観測できる。

【 0 0 3 9 】

波形劣化がなければ、（A）のような理想的な波形となるが、伝送中の波形ひずみにより、傾斜と角の丸みが生じ、また、ジッタにより時間軸にずれを生じるために、実際は（B）のような波形の像になる。

【 0 0 4 0 】

したがって、信号を再生するには、アイパターンの空白部分の中央部（×印付近）に 0 / 1 の判定基準点（最適点）をもってくればよいことがわかる。従来では、人手を介して試験及び測定を、装置に対し逐一行うことで、このような判定基準点を設定して信号の再生制御を行っていた。

【 0 0 4 1 】

ところが、この場合、定量的な測定は難しく、また、信号の伝送レートの変化等が起きると、アイパターンの開口度が異なってくるために、最初に設定した判定基準点が最適点とはいえなくなるため、従来の技術では、伝送品質を保つことが困難であった。

【 0 0 4 2 】

本発明の再生制御回路 2 0 では、信号の伝送レートの変化等が生じた場合でも、アイパターンの開口度を自動的に認識し、かつ識別判定基準点の最適点を人手を介さず自動的に設定して、信頼性の高い高品質な再生制御を行うものである。

【 0 0 4 3 】

次に再生制御回路 2 0 について、 V_{ref} 及びクロック位相をスweepさせてアイパターンの開口度（アイマージン）を測定し、最適点を認識するまでの全体動作について説明する。

【 0 0 4 4 】

図 8 は V_{ref} 設定手段 2 1 の動作を示す図である。 V_{ref} 設定手段 2 1 は、差動入力素子で構成され、図では Positive 側の入力端子に入力信号が、Negative 側の入力端子にはリファレンス電圧である V_{ref} が入力する（Positive 側に V_{ref} 、Negative 側に入力信号が入力してもよい）。

【 0 0 4 5 】

そして、入力信号に対し、 $V_{ref1} \sim V_{refN}$ が最適点設定手段 2 5 から順次設定されることで、入力信号が、それぞれの V_{ref} のスライスレベルで “0”，“1” 論理を識別したパルス（測定データ）が生成されて出力される。

【 0 0 4 6 】

例えば、入力信号（単一パルスとする）に対し、 V_{ref2} が設定された場合には、測定データ $m2$ が生成され、 $V_{ref(N-1)}$ が設定された場合には、測定データ $m(N-1)$ が生成されることになる。

【 0 0 4 7 】

なお、図中、測定データの振幅 Δv は、 V_{ref} 値に依存するのではなく、 V_{ref} 設定手段 2 1 の振幅特性によって決まる。

図9は本発明のアイマージン測定の概要を示す図である。本発明では、入力信号に対して、 V_{ref} とクロック位相とを順次スイープさせ、隣り合うモニタポイント（格子点）のレベルが一致するか否かの判定を行って、アイマージンを測定する。

【0048】

例えば、入力信号がアイパターンEの場合に、 V_{ref2} のレベルでクロックCK3の位相 t_1 、 t_2 （隣接する各位相の差分は ΔT ）のときに生じるモニタポイント p_1 、 p_2 のレベルの状態について考える。

【0049】

点線で示す波形W1に対しては、 V_{ref2} により測定データ $m2a$ に変換される。このときのモニタポイント p_1 のレベル（位相 t_1 のクロックCK3で測定データ $m2a$ を打ち抜いたときのレベル）は“L”、モニタポイント p_2 のレベル（位相 t_2 のクロックCK3で測定データ $m2a$ を打ち抜いたときのレベル）も“L”であるので、レベル状態が一致（エラーなし）と判断される。

【0050】

一方、太実線で示す波形W2を考えた場合、 V_{ref2} により測定データ $m2b$ に変換される。このときのモニタポイント p_1 のレベル（位相 t_1 のクロックCK3で測定データ $m2b$ を打ち抜いたときのレベル）は“L”、モニタポイント p_2 のレベル（位相 t_2 のクロックCK3で測定データ $m2b$ を打ち抜いたときのレベル）は“H”であるので、レベル状態が不一致（エラーあり）と判断される。

【0051】

すなわち、アイマージン測定対象の入力信号に対し、最初、 V_{ref1} により生成した測定データに対して、クロックCK3の位相を $t_1 \sim t_N$ までスイープしてできるモニタポイントにおける、隣接するモニタポイントのレベルを判定する。

【0052】

次に V_{ref1} から V_{ref2} にスイープし、 V_{ref2} により生成した測定データに対して、クロックCK3の位相を $t_1 \sim t_N$ までスイープしてできるモ

ニタポイントにおける、隣接するモニタポイントのレベルを判定する。以下、同様にして V_{refN} まで行っていく。そして、このように測定して得たレベルの判定結果により、アイパターン開口度を認識する。

【0053】

なお、レベル判定すべきモニタポイントの移行契機は、目標のエラーレートに対応したタイミングにもとづいて行う（後述する）。

図10はアイパターンを示す図であり、図11はレベル判定結果を示したアイパターンを示す図である。図10のアイパターンEに対し、太実線で示すように、波形が重なる部分を無効領域、アイ（目玉）の空白部分を有効領域と呼ぶ。

【0054】

また、このようなアイパターンEのアイマージンを測定している様子を示す図が図11である。入力信号の最高速度が、 V_{CO} クロックCK1と同一値のときのアイマージン測定イメージを示している。

【0055】

電圧軸に対しては、“H”レベルから“L”レベル間を10等分して、11ポイントの電圧ポイント $V_{ref1} \sim V_{ref11}$ を設定する（ V_{ref} 間の電位差は ΔV ）。また、位相軸に対しては、データの1周期内を14等分して、15ポイントの位相ポイント $t_1 \sim t_{15}$ を設定する（位相差は ΔT ）。

【0056】

したがって、この例では、1周期内のモニタポイントが $11 \times 15 = 165$ ポイントとなり、それぞれのポイントのレベルを、図9で上述したように、隣接間同士で比較して、レベルが一致しているか否かを判定することで、アイマージンを測定し、最適点を決定する。

【0057】

図では、レベルが一致しているポイントを○印で示し、一致していないポイントを×印で示している。なお、無効領域（レベルが“H”とも“L”ともいえない不定部分である）内にあるポイントは、すべて×印となる。

【0058】

また、無効領域内にあるポイントの位相を $(t-1)$ とした場合、同じ V_{re}

f 上の位相 t のポイントは、それが有効領域内にあったとしても必ず×印になる（比較すべき前回のポイントのレベルが不定であるので、その不定レベルのポイントと比較されたものはレベル不一致とみなす）。

【0059】

例えば、V r e f 2 上で、位相 t 5 の状態を判定する場合、位相 t 4 と位相 t 5 のレベルを比較して、その比較結果が位相 t 5 の状態となるが、位相 t 4 が無効領域内にあるので、位相 t 5 のレベルは不一致として×印になる。

【0060】

一方、V r e f 2 上で、位相 t 6 の状態を判定する場合、位相 t 5 と位相 t 6 のレベルを比較して、その比較結果が位相 t 6 の状態となる。ここではレベルが一致するものとして○印になっている。以降、その他のポイントに対しても同様な操作を行ってレベル状態を判定する。そして、このようにして判定された結果は、165ポイントのレベル判定結果を格納できる容量を持つメモリ（最適点設定手段25が有する）に格納される（図20、21で後述）。

【0061】

次にモニタポイントに移行する際の周期について説明する。モニタポイントのレベルを判定して、同じV r e f 上で次の位相のモニタポイントに移行する際の移行周期（すなわち、1モニタポイントにおけるレベル判定の測定時間のこと）は、目標エラーレートにもとづいた周期で行う。

【0062】

ここで、入力信号の1周期がC秒で、目標エラーレートを 10^{-n} とするならば、移行周期をX秒とした場合、以下の関係式

【0063】

【数1】

$$1/10^n = C/X \quad (1)$$

により求めたXが移行周期になる。そして、同一V r e f 上ですべてのモニタポイントの比較が終われば、次のV r e f に移って同様な処理を行う。

【0064】

ここで例えば、入力信号の伝送レートが2.488Gb/s（1周期が400

$p_s = 400 \times 10^{-12} \text{ s}$) であり、目標エラーレートを $10\text{E}-8$ ($=10^{-8}$) とするならば、移行周期 X は、 $X = 400 \times 10^{-12} \times 10^8 = 0.04$ 秒となる

同様にして、 2.488 Gb/s の入力信号の目標エラーレートが $10\text{E}-9$ ならば、 $X = 0.4$ 秒であり、目標エラーレートが $10\text{E}-10$ ならば、 $X = 4.0$ 秒となる。

【0065】

すなわち、 2.488 Gb/s の入力信号に対して、目標エラーレートを $10\text{E}-8$ に設定した場合、1つのモニタポイントのレベル判定を 0.04 秒間測定して、この時間の間一度もそのポイントでエラーがなければ（レベル不一致になって×印とならなければ）、このモニタポイントでは $10\text{E}-8$ を満足できているということである。

【0066】

したがって、 2.488 Gb/s の入力信号のアイパターンに対し、図11に示す点線が $10\text{E}-8$ のラインとすれば、アイパターン有効領域内の点線上の○印及び点線枠内の○印すべて（これらの○印は 0.04 秒間エラーなし）が $10\text{E}-8$ を満足しているモニタポイントである。

【0067】

また、アイパターン有効領域内の太実線が $10\text{E}-10$ のラインとすれば、太実線上の○印及び太実線枠内の○印すべて（これらの○印は 4.0 秒間エラーなし）が $10\text{E}-10$ を満足しているモニタポイントである（ $10\text{E}-10$ を設定した場合には、 $10\text{E}-8$ のときと比べて、さらに条件が厳しくなって、アイパターン開口度が小さくなる）。

【0068】

なお、図では同じ形のアイパターン上で $10\text{E}-8$ のラインと $10\text{E}-10$ のラインを便宜上示したが、図11のアイパターンが $10\text{E}-8$ の場合とするならば、 $10\text{E}-10$ のアイパターンはこれよりも開口度が小さい（無効領域が太くなって、有効領域が小さくなった）図になる。

【0069】

そして、このような目標エラーレートのラインで囲まれた中心付近のポイントを最適点に設定する（図では $10E-10$ のときの最適点を黒丸で示している）。最適点設定の詳細については後述する。

【 0 0 7 0 】

図 1 2 は入力信号が低速時のアイマージン測定を示す図である。入力信号が低速の場合、 V_{ref} ステップは図 1 1 と同じだが、位相ステップは図 1 1 の ΔT よりも値の大きい ΔT_a を設定することになる。

【 0 0 7 1 】

これは、入力信号が低速の場合には、アイは横に広がることになるが、モニタポイント数はメモリ容量によって決められている。したがって、位相ステップ幅を大きくとることで、決められたメモリ容量で、入力信号の伝送レートに対応させたアイマージン測定を行うものである。

【 0 0 7 2 】

次に再生制御回路 2 0 を構成する、レベル判定制御手段 2 2、クロック位相設定手段 2 3、判定情報保持手段 2 4、最適点設定手段 2 5 それぞれについて説明する。

【 0 0 7 3 】

図 1 3 はレベル判定制御手段 2 2 の構成を示す図である。レベル判定制御手段 2 2 は、2 つのフリップフロップ（以下、 $FF3$ 、 $FF4$ ）と、排他論理和素子（以下、 $EOR2$ ）と、遅延手段 $D1a$ 、 $D1b$ から構成される。

【 0 0 7 4 】

$FF3$ 、 $FF4$ の入力データ端子には、 V_{ref} 設定手段 2 1 から送信された測定データが入力し、 $FF3$ のクロック端子には、クロック位相設定手段 2 3 から送信されたクロック $CK3$ が入力する。また、 $FF4$ のクロック端子には、遅延手段 $D1a$ で ΔT 遅延されたクロック $CK3d$ が入力する。したがって、クロック $CK3$ の位相が t_1 であれば、クロック $CK3d$ の位相は ΔT 遅延した位相 t_2 である。

【 0 0 7 5 】

さらに、 $FF3$ の出力を、遅延手段 $D1b$ で遅延手段 $D1a$ と同じ遅延値であ

る ΔT 分遅延させて（ひげの発生防止）、FF4 の出力と位相を合わせる。そして、EOR2 でこの2つのデータの排他論理和をとって、位相 t_1 と位相 t_2 それぞれのデータのレベル比較を行い、不一致なら“L”、一致ならば“H”を判定情報として出力する。

【0076】

このような構成により、各 Vref の測定データに対して、クロック位相設定手段23から位相が設定されたクロックCK3にもとづいて、モニタポイントのレベル判定制御を行うことができる。なお、最適点が設定されたときに識別されたデータは、FF4 の出力を用いている。

【0077】

次にクロック位相設定手段23について説明する。図14はクロック位相設定手段23の構成を示す図である。クロック位相設定手段23は、nビットのカウンタ23a、デコーダ23b、23c、セクタ23dから構成される。なお、外部入力であるカウンタ値制御、ディジタル位相ステップ制御及びセレクト信号は、最適点設定手段25から設定される。

【0078】

カウンタ23aは、VCOクロックCK1にてカウント動作を行うカウンタである。ここで例えば、入力信号の最高伝送レートが2.488Gb/sならば、カウンタ23aへの入力クロックは、2.488Gb/sのVCOクロックCK1が入力される。

【0079】

また、カウンタ23aのビット数nは、VCOクロックCK1の何分の1倍までの入力信号の伝送レートを動作可能とするかによって決定する。例えば、VCOクロックCK1=2.488Gb/sで、入力信号が19Mb/sまでを対象にする場合、VCOクロックCK1を1/128分周する必要があるので、n=7となる。

【0080】

デコーダ23bは、カウンタ値制御にもとづいて、カウンタアドレスからデコード値を生成し、カウンタ23aのLoad端子へフィードバックして、カウン

タ 23 a の最大カウント値（分周比）を変える。

【0081】

デコーダ 23 c は、デコーダ 23 b により分周比が設定されたカウンタアドレスを受信してデコードし、ディジタル位相ステップ制御にもとづくデコード値を選択して、これを分周クロック CK b として出力する。

【0082】

セクタ 23 d は、セレクト信号にもとづいて、スルークロック（入力信号の最高伝送レートと同じ値のときの VCO クロック CK 1）CK a、または分周クロック CK b のいずれかを選択して、選択したクロックをクロック CK 3 として、レベル判定制御手段 22 へ送信する。

【0083】

ここで、VCO クロック CK 1 が 2.488 Gb/s であり、入力信号の伝送レートも 2.488 Gb/s の場合（入力信号と VCO クロック CK 1 が同レートの場合）、スルークロック CK a が選択される。スルークロック CK a は、最適点設定手段 25 からのオフセット調整制御のみによって、位相がステップ毎に変化していくクロックである。

【0084】

また、入力信号の伝送レートが 2.488 Gb/s 以下の場合には、分周クロック CK b が選択される。分周クロック CK b は、最適点設定手段 25 からのディジタル位相ステップ制御及びオフセット調整制御の組み合わせによって、位相がステップ毎に変化していくクロックである。

【0085】

図 15～図 18 はクロック位相設定のタイミングチャートを示す図である。図 15 は、入力信号と VCO クロック CK 1 が 2.488 Gb/s の同レートの場合である。

【0086】

同レート時の位相スweepは、最適点設定手段 25 がオフセット調整制御をクロックタイミング抽出回路 10 の平均化手段 12 に与えて、VCO 13 への入力電圧のオフセットを段階的に変えることで実行する。図では、分周クロック CK

bの位相を、1周期32ステップ変化させた場合の例を示している。

【0087】

したがって、位相A s a m p 1～A s a m p 32それぞれの位相差(=ΔT)は、入力信号の1周期(400ps)を32分割した12.5psになる。なお、この場合の横方向のモニタポイントの数は、t1～t32となるので32個あることになる。

【0088】

最適点設定手段25は、例えば、位相A s a m p 1におけるモニタポイントでのレベル判定を終了したと認識した場合には、次に位相A s a m p 2の波形を生成するためのオフセット調整制御を行う。そして、クロック位相設定手段23では、生成された位相A s a m p 2のスルークロックCKaを、セレクト信号により選択して、レベル判定制御手段22へ送信する。以下、同様にして、クロックの位相スイープが行われる。

【0089】

図16は、VCOクロックCK1が2.488Gb/sであり、入力信号が1.244Gb/sの場合である(入力信号が1/2レート)。

この時の分周比は1/2であるから、カウンタ値制御によって、デコーダ23bのデコード値を制御し、カウンタ23aを2進カウンタに設定する。そして、デコーダ23cは、カウンタ23aで1/2分周された分周カウンタ値をデコードして、分周クロックCKbを生成する。

【0090】

すなわち、カウンタ値“0”のときのデコード値である位相D s a m p 1のクロック信号と、カウンタ値“1”のときのデコード値である位相D s a m p 2のクロック信号とを生成する。このデコード値の切り替えは、デジタル位相ステップ制御により行う。

【0091】

図の場合、位相スイープのデータ周期前半タイミング(1～16位相)に対しては、デコーダ23cによりカウンタ値“0”をデコードした位相D s a m p 1のクロック信号が用いられる。そして、このクロック信号に、図15で説明した

ようなオフセット調整制御を施して、 $A_{\text{samp}1} \sim A_{\text{samp}32}$ の奇数ステップの位相をつくる。そして、これらのクロック信号を分周クロック CK_b とし、この分周クロック CK_b を、セレクト信号により選択して、レベル判定制御手段22へ送信する。

【0092】

また、位相スイープのデータ周期後半タイミング（1～16位相）に対しては、デコーダ23cによりカウンタ値“1”をデコードした位相 $D_{\text{samp}2}$ のクロック信号を用いる。そして、同様に、このクロック信号に、図15で説明したようなオフセット調整制御を施して、 $A_{\text{samp}1} \sim A_{\text{samp}32}$ の奇数ステップの位相をつくる。そして、これらのクロック信号を分周クロック CK_b とし、この分周クロック CK_b を、セレクト信号により選択して、レベル判定制御手段22へ送信する。

【0093】

このように、入力信号がVCOクロック CK_1 よりも低レートの場合には、デジタル位相ステップ制御とオフセット調整制御を組み合わせ、クロックの位相スイープ制御を行う。

【0094】

一方、図17、18は、VCOクロック CK_1 が2.488Gb/sであり、入力信号が622Mb/sの場合を示している（入力信号が1/4レート）。

この時の分周比は1/4であるから、カウンタ値制御によって、デコーダ23bのデコード値を制御し、カウンタ23aを4進カウンタに設定する。そして、デコーダ23cは、カウンタ23aで1/4分周された分周カウンタ値をデコードして、分周クロック CK_b を生成する。

【0095】

すなわち、カウンタ値“0”のときのデコード値である位相 $D_{\text{samp}1}$ のクロック信号、カウンタ値“1”のときのデコード値である位相 $D_{\text{samp}2}$ のクロック信号、カウンタ値“2”のときのデコード値である位相 $D_{\text{samp}3}$ のクロック信号、カウンタ値“3”のときのデコード値である位相 $D_{\text{samp}4}$ のクロック信号を生成する。このデコード値の切り替えは、デジタル位相ステップ

制御により行う。

【0096】

図の場合、位相スイープのデータ周期1/4タイミング（1～8位相）に対しては、デコーダ23cによりカウンタ値“0”をデコードした位相D s a m p 1のクロック信号が用いられる。そして、このクロック信号に、図15で説明したようなオフセット調整制御を施して、A s a m p 1～A s a m p 32のうち4間隔ステップの位相をつくる（A s a m p 1、5、9、13、…、29）。そして、これらのクロック信号を分周クロックCK bとし、この分周クロックCK bを、セレクト信号により選択して、レベル判定制御手段22へ送信する。

【0097】

また、次の位相スイープのデータ周期1/4タイミング（1～8位相）に対しては、デコーダ23cによりカウンタ値“1”をデコードした位相D s a m p 2のクロック信号を用いる。そして、このクロック信号に、図15で説明したようなオフセット調整制御を施して、A s a m p 1～A s a m p 32のうち4間隔ステップの位相をつくる（A s a m p 1、5、9、13、…、29）。そして、これらのクロック信号を分周クロックCK bとし、この分周クロックCK bを、セレクト信号により選択して、レベル判定制御手段22へ送信する。

【0098】

以下、同様にして、残りの位相タイミングには、カウンタ値“2”をデコードした位相D s a m p 3、カウンタ値“3”をデコードした位相D s a m p 4それぞれにオフセット調整制御を施して分周クロックCK bを生成する。

【0099】

このように、図16～図18のような入力信号がVCOクロックCK 1よりも低レートの場合には、このレートに対応してデジタル位相ステップ制御とオフセット調整制御を組み合わせ、1周期内を常に32ステップの位相でサンプリングすることで、クロックの位相スイープ制御を行う。この制御により、モニタポイントのレベル判定情報を格納するメモリ容量を、一定にすることが可能になる。また、図15のように、レート変更を伴わない場合には、分周制御フローを省略して、時間の短縮化を図っている。

【0100】

次に判定情報保持手段24について説明する。図19は判定情報保持手段24の構成を示す図である。判定情報保持手段24は、コンデンサC、抵抗R、スイッチSWから構成されるピークホールド回路である。

【0101】

素子の接続関係は、コンデンサCの一方の端子は、0Vに接続し、他方の端子には、判定情報が入力される入力端子及び判定情報を出力する出力端子が接続し、かつ抵抗RとスイッチSWの一方の端子が接続する。抵抗Rの他方の端子は、VEEに接続し、スイッチSWの他方の端子は、0Vに接続する。スイッチSWのON/OFF制御は、最適点設定手段25から設定される。

【0102】

ここで、判定情報が1回でも“L”（エラーあり）となった場合には、コンデンサCによってVEE電圧が保持される。ここで保持された判定情報は、最適点設定手段25で読み込まれる。なお、最適点設定手段25から強制的にスイッチSWをON（0Vに短絡）することによるリセット（コンデンサCの電荷放電）が実行されるまで、VEE電圧は保持される。

【0103】

リセットタイミングは、上述したモニタポイントの移行周期を基本にして行う。すなわち、入力信号が2.488Gb/sで、目標エラーレートが $10E-8$ ならば、リセットタイミングの周期は0.04秒であり、 $10E-9$ ならば0.4秒、 $10E-10$ であるならば4.0秒になる。

【0104】

ここで、目標エラーレート $10E-8$ の時の、リセットタイミングの周期（1つのモニタポイントの監視周期である）0.04秒を考える。このリセットタイミングの周期内に1回でもエラーが発生した場合には、最適点設定手段25は、判定情報保持手段24からエラーありの情報を即時に読み込んで、そのモニタポイントにおけるメモリアドレスにエラーありを書き込み、0.04秒を経過していなくても、次のモニタポイントへ移行し、リセットを判定情報保持手段24にかける。

【0105】

また、この0.04秒以内にエラーがなければ、該当メモリアドレスにエラーなしを書き込み、次のモニタポイントへ移行し、またそのポイントで0.04秒の監視を行なう。

【0106】

このように、目標エラーレートよりも高いレートでエラーが発生した場合には、即時に、次ステップ位相への移行及び判定情報保持手段24へのリセットを行う。これにより、アイマージン測定の短時間化を図ることが可能になる。

【0107】

次に最適点設定制御について説明する。図20はモニタポイントとメモリとの対応関係を示す図である。アイパターンの測定領域内に、縦7（Vrefが7つ）、横9（クロック位相が9つ）の $7 \times 9 = 63$ 個のモニタポイントがある場合には、各モニタポイントの判定情報は、VrefがアドレスAdに対応し、クロック位相がデータDに対応したメモリ領域に格納される。

【0108】

例えば、モニタポイント $P_{(1,4)}$ の判定情報は、アドレスAd00、データD3のメモリ領域に格納され、モニタポイント $P_{(2,6)}$ の判定情報は、アドレスAd01、データD5のメモリ領域に格納される。

【0109】

図21は最適点設定制御を示す図である。最適点設定手段25は、各モニタポイントの判定情報を、図20に示したようなメモリに格納し、各Vrefのエラーなし情報の数と、各クロック位相のエラーなし情報の数とから、最適点となるモニタポイントを検出する。

【0110】

図では、メモリ容量が 10×10 に対し、それに合わせてVrefステップ=10、クロック位相ステップ=10として、判定情報を書き込んだ例である。

最適点設定手段25は、まず、アドレスAd00～Ad09毎に、それぞれデータD0～D9に対する○印（エラーなし）を数える。この場合、アドレスAd04が8個あるため、ここを最適Vrefと判断する。

【 0 1 1 1 】

次に、データ D 0 ~ D 9 毎にそれぞれアドレス A d 0 0 ~ A d 0 9 に対する O 印を数える。この場合、データ D 5 が 8 個あり、ここを最適クロック位相と判断する。すると、図の黒四角枠の位置が最適点となる。

【 0 1 1 2 】

したがって、アイマージン測定の結果、アドレス A d 0 4 の時の V r e f の電圧が最適なしきい値電圧であり、データ D 5 の時のクロック位相が最適なクロック位相であると認識する。そして、このときの V r e f を V r e f 設定手段 2 1 に設定し、このときのクロック位相をクロック位相設定手段 2 3 に設定することで、入力信号の最適再生制御を実行することが可能になる。

【 0 1 1 3 】

また、最適点設定手段 2 5 は、最適点となったモニタポイントの V r e f 及びクロック位相を記憶し、再起動時には記憶した最適点の V r e f 及びクロック位相で再生制御を行う。

【 0 1 1 4 】

次にアイマージン測定に関する最適点設定手段 2 5 の全体制御についてフローチャートを用いて説明する。図 2 2、図 2 3 はアイマージン測定のフローチャートを示す図である。

〔 S 1 〕 目標エラーレートを設定する（リセットタイミング周期を設定する）。

〔 S 2 〕 メモリ領域（ A d 0 0 , D 0 ）を設定する。

〔 S 3 〕 V r e f 1 （入力信号の“H”電位）を設定する。

〔 S 4 〕 クロック位相 t 1 を設定する。

〔 S 5 〕 判定情報保持手段 2 4 にリセットをかける。

〔 S 6 〕 モニタポイントの判定情報がエラーか否かを判断する。エラーなしならばステップ S 7 へ、エラーありならばステップ S 8 へ行く。

〔 S 7 〕 エラーなしをメモリに書き込む。ステップ S 9 へ行く。

〔 S 8 〕 エラーありをメモリに書き込む。

〔 S 9 〕 次のモニタポイントへのステップ変更を行う。次ステップのクロック位相を設定する（位相 $t + \Delta T$ ）

〔S 1 0〕位相 t が上限の位相 t_N を超えたか否かを判断する。超えたならばステップ S 1 2 へ、そうでなければステップ S 1 1 へ行く。

〔S 1 1〕メモリ領域を変更する ($A_d = \text{変更なし}$ 、 $D = +1$)。ステップ S 5 へ戻る。

〔S 1 2〕次ステップの V_{ref} を設定する ($V_{ref} + \Delta V$)。

〔S 1 3〕メモリ領域を変更する ($A_d = +1$ 、 $D = 0$)。

〔S 1 4〕 V_{ref} が上限の V_{refN} を超えたか否かを判断する。超えたならばメモリ容量のモニタポイントのアイマージン測定は終了である。超えてなければステップ S 4 へ戻る。

【0 1 1 5】

次に本発明の伝送装置 1 を適用した光受信機について説明する。図 2 4 は光受信機の構成を示す図である。光受信機 1 0 0 は、光／電気変換部 1 0 1、フィルタリング部 1 0 2、クロックタイミング抽出部 1 0 3 (本発明のクロックタイミング抽出回路 1 0 に該当)、再生制御部 1 0 4 (本発明の再生制御回路 2 0 に該当) から構成される。

【0 1 1 6】

光／電気変換部 1 0 1 は、受信した光信号に光／電気変換を施す。フィルタリング部 1 0 2 は、波形等化制御として、波形整形及び雑音の帯域制限を施す。そして、フィルタリング部 1 0 2 から出力される信号を入力信号として、クロックタイミング抽出部 1 0 3 及び再生制御部 1 0 4 で処理することで、0 / 1 が判定された識別データと、識別データに同期した識別クロックが出力される。

【0 1 1 7】

光受信機 1 0 0 の具体例としては、例えば、TDM装置 (時分割装置) から送信された、異なる波長 $\lambda_1 \sim \lambda_n$ の光信号を受信し、WDM (Wavelength Division Multiplex) 伝送のために各光信号を狭帯域の光信号に変換して出力するトランスポンダなどが該当する。

【0 1 1 8】

以上説明したように、本発明によれば、入力信号の伝送レートに応じて同期クロックを自動的に抽出し、また波形劣化のある入力信号に対して、任意のエラー

レートに対する最適な識別点（電圧、位相）を自動的に設定する構成とした。これにより、伝送レート毎の専用品開発が不要となり、また従来のような人手による面倒な試験及び測定を行う必要がなくなるので、利便性が向上し、かつ信頼性及び品質の向上を図ることが可能になる。

【 0 1 1 9 】

さらに、本発明の伝送装置 1 を光受信機に適用した場合には、顧客が光の伝送速度を意識せずに使用できるので、伝送速度の仕様変更が容易となり、かつ光ファイバの長距離伝送における波形の分散劣化が発生しても、識別の最適化が自動で行えるので、高性能な信号受信制御が可能になる。なお、本発明の伝送装置 1 は、光受信機に限らず、あらゆる信号受信装置に適用可能である。

【 0 1 2 0 】

（付記 1） 信号の再生制御を行う伝送装置において、

入力信号の伝送レートにもとづいて、分周比を可変的に設定して、前記入力信号と発振出力との位相差が一定になるように位相同期制御を行い、前記伝送レートに応じたクロックタイミングを抽出するクロックタイミング抽出回路と、

前記入力信号に対し、電圧しきい値レベルと、抽出したクロックの位相とを順次スイープさせ、隣り合うモニタポイントのレベルが一致するか否かの判定を行って、アイパターンの有効領域内での最もエラー発生の低い識別点を自動測定し、前記識別点を最適点として再生制御を行う再生制御回路と、

を有することを特徴とする伝送装置。

【 0 1 2 1 】

（付記 2） 前記クロックタイミング抽出回路は、入力信号と分周クロックとの周波数の位相を比較して、位相差を検出する位相比較手段と、前記位相差を平均化して制御電圧を生成する平均化手段と、前記制御電圧にもとづいて、同期クロックを発振する電圧制御発振手段と、分周比にもとづいて、前記同期クロックを分周して前記分周クロックを生成する分周手段と、前記制御電圧が設定範囲内にあるか否かを判断して、位相同期ループがロック状態であるか否かを認識し、認識結果により前記分周比を可変的に設定する位相同期ループ制御手段と、から構成されることを特徴とする付記 1 記載の伝送装置。

【 0 1 2 2 】

（付記 3） 前記位相比較手段は、前記入力信号に対し、前記分周クロックの立ち上がりエッジでのレベルと、立ち下りエッジでのレベルとの排他的論理和をとって、前記位相差をデューティとして検出することを特徴とする付記 2 記載の伝送装置。

【 0 1 2 3 】

（付記 4） 前記位相同期ループ制御手段は、電源が断した場合には、断前の分周比を前記分周手段に設定し、前記入力信号が断した場合には、断前の制御電圧を前記平均化手段に設定することを特徴とする付記 2 記載の伝送装置。

【 0 1 2 4 】

（付記 5） 前記再生制御回路は、前記入力信号を前記電圧しきい値レベルを基準に信号判定し、前記入力信号から測定データを生成する電圧しきい値レベル設定手段と、前記クロックの位相を設定するクロック位相設定手段と、前記測定データの隣り合う前記モニタポイントにおけるレベルが一致するか否かを判定して判定情報を生成するレベル判定制御手段と、前記判定情報を保持する判定情報保持手段と、前記電圧しきい値レベルと、前記クロックの位相とを順次スイープさせて取得した前記判定情報から、前記アイパターンの有効領域内での最もエラー発生の低い識別点を認識し、前記識別点を前記最適点として設定して再生制御を行う最適点設定手段と、から構成されることを特徴とする付記 1 記載の伝送装置。

【 0 1 2 5 】

（付記 6） 前記レベル判定制御手段は、前記測定データに対して、現クロックをトリガとした出力と、前記現クロックを一定時間遅延させた遅延クロックをトリガとした出力と、の位相を合わせた後に、排他的論理和をとって前記モニタポイントのレベル判定を行い、前記判定情報を生成することを特徴とする付記 5 記載の伝送装置。

【 0 1 2 6 】

（付記 7） 前記最適点設定手段は、前記入力信号の最高伝送レートと前記同期クロックのレートが同一の場合は、前記クロックタイミング抽出回路にオフセ

ット調整制御を施してスルークロックを生成させ、前記クロック位相設定手段が前記スルークロックを選択することで、クロック位相のスweepを行うことを特徴とする付記 5 記載の伝送装置。

【 0 1 2 7 】

(付記 8) 前記最適点設定手段は、前記入力信号の伝送レートが前記同期クロックのレートよりも小さい場合は、前記クロック位相設定手段にカウント値制御及びデジタル位相ステップ制御を施して、分周比を変えたクロック信号を生成させ、かつ前記クロックタイミング抽出回路にオフセット調整制御を施して、前記クロック信号にもとづいて分周信号を生成させ、前記クロック位相設定手段が前記分周クロックを選択することで、クロック位相のスweepを行うことを特徴とする付記 5 記載の伝送装置。

【 0 1 2 8 】

(付記 9) 前記最適点設定手段は、前記入力信号の伝送レートに対応するエラーレートにもとづいてリセット周期を設定し、前記リセット周期にもとづいて、前記判定情報保持手段で保持されている前記判定情報のリセットを行うことを特徴とする付記 5 記載の伝送装置。

【 0 1 2 9 】

(付記 1 0) 前記最適点設定手段は、前記判定情報にエラーありを認識した場合は、前記リセット周期を待たずに、次モニタポイントへ移行する制御を行うことを特徴とする付記 9 記載の伝送装置。

【 0 1 3 0 】

(付記 1 1) 前記最適点設定手段は、前記モニタポイントの判定情報を格納するべきメモリを有し、電圧しきい値レベル及びクロック位相に対して、最もエラーのないメモリ領域に対応するモニタポイントを前記最適点として設定することを特徴とする付記 5 記載の伝送装置。

【 0 1 3 1 】

(付記 1 2) 前記最適点設定手段は、最適点となったモニタポイントの電圧しきい値レベル及びクロック位相を記憶し、再起動時には記憶した前記最適点での前記電圧しきい値レベル及び前記クロック位相で再生制御を行うことを特徴と

する付記 1 1 記載の伝送装置。

【 0 1 3 2 】

（付記 1 3） 入力信号からクロックタイミングを抽出するクロックタイミング抽出回路において、

前記入力信号と分周クロックとの周波数の位相を比較して、位相差を検出する位相比較手段と、

前記位相差を平均化して制御電圧を生成する平均化手段と、

前記制御電圧にもとづいて、同期クロックを発振する電圧制御発振手段と、

分周比にもとづいて、前記同期クロックを分周して前記分周クロックを生成する分周手段と、

前記制御電圧が設定範囲内にあるか否かを判断して、位相同期ループがロック状態であるか否かを認識し、認識結果により前記分周比を可變的に設定する位相同期ループ制御手段と、

を有することを特徴とするクロックタイミング抽出回路。

【 0 1 3 3 】

（付記 1 4） 入力信号の再生制御を行う再生制御回路において、

前記入力信号を電圧しきい値レベルを基準に信号判定し、前記入力信号から測定データを生成する電圧しきい値レベル設定手段と、

識別判定するためのクロックの位相を設定するクロック位相設定手段と、

前記測定データの隣り合うモニタポイントにおけるレベルが一致するか否かを判定して判定情報を生成するレベル判定制御手段と、

前記判定情報を保持する判定情報保持手段と、

前記電圧しきい値レベルと、前記クロックの位相とを順次スweepさせて取得した前記判定情報から、アイパターンの有効領域内での最もエラー発生の低い識別点を認識し、前記識別点を前記最適点として設定して再生制御を行う最適点設定手段と、

を有することを特徴とする再生制御回路。

【 0 1 3 4 】

（付記 1 5） 光信号を受信して再生制御を行う光受信機において、

前記光信号を光／電気変換して電気信号を生成する光／電気変換部と、

前記電気信号の波形等化制御を行うフィルタリング部と、

入力信号の伝送レートにもとづいて、分周比を可変的に設定して、前記入力信号と発振出力との位相差が一定になるように位相同期制御を行い、前記伝送レートに応じたクロックタイミングを抽出するクロックタイミング抽出部と、

前記入力信号に対し、電圧しきい値レベルと、抽出したクロックの位相とを順次スイープさせ、隣り合うモニタポイントのレベルが一致するか否かの判定を行って、アイパターンの有効領域内での最もエラー発生の低い識別点を自動測定し、前記識別点を最適点として再生制御を行う再生制御部と、

を有することを特徴とする光受信機。

【 0 1 3 5 】

【発明の効果】

以上説明したように、本発明の伝送装置は、クロックタイミング抽出回路で、分周比を可変的に設定して、入力信号の伝送レートに応じたクロックタイミングを抽出し、再生制御回路で、入力信号に対して、電圧しきい値レベルと、抽出したクロックの位相とを順次スイープさせて、アイパターンの有効領域内での最もエラー発生 of 低い識別点を自動測定し、その識別点を最適点として用いて、信号の再生制御を行う構成とした。これにより、伝送レートに応じて、クロックを抽出できるので、装置に汎用性を持たすことができ、かつ最適点を自動的に高精度に設定できるので、信号の再生制御の信頼性及び品質の向上を図ることが可能になる。

【図面の簡単な説明】

【図 1】

本発明の伝送装置の原理図である。

【図 2】

クロックタイミング抽出回路の構成を示す図である。

【図 3】

位相比較手段の動作を示すタイミングチャートである。

【図 4】

位相比較手段の動作を示すタイミングチャートである。

【図 5】

位相比較手段の動作を示すタイミングチャートである。

【図 6】

再生制御回路の構成を示す図である。

【図 7】

アイパターンを説明するための模式図である。(A)は理想のアイパターン波形、(B)は実際のアイパターン波形である。

【図 8】

V r e f 設定手段の動作を示す図である。

【図 9】

本発明のアイマージン測定の概要を示す図である。

【図 1 0】

アイパターンを示す図である。

【図 1 1】

レベル判定結果を示したアイパターンを示す図である。

【図 1 2】

入力信号が低速時のアイマージン測定を示す図である。

【図 1 3】

レベル判定制御手段の構成を示す図である。

【図 1 4】

クロック位相設定手段の構成を示す図である。

【図 1 5】

クロック位相設定のタイミングチャートを示す図である。

【図 1 6】

クロック位相設定のタイミングチャートを示す図である。

【図 1 7】

クロック位相設定のタイミングチャートを示す図である。

【図 1 8】

クロック位相設定のタイミングチャートを示す図である。

【図 1 9】

判定情報保持手段の構成を示す図である。

【図 2 0】

モニタポイントとメモリとの対応関係を示す図である。

【図 2 1】

最適点設定制御を示す図である。

【図 2 2】

アイマージン測定のプロチャートを示す図である。

【図 2 3】

アイマージン測定のプロチャートを示す図である。

【図 2 4】

光受信機の構成を示す図である。

【符号の説明】

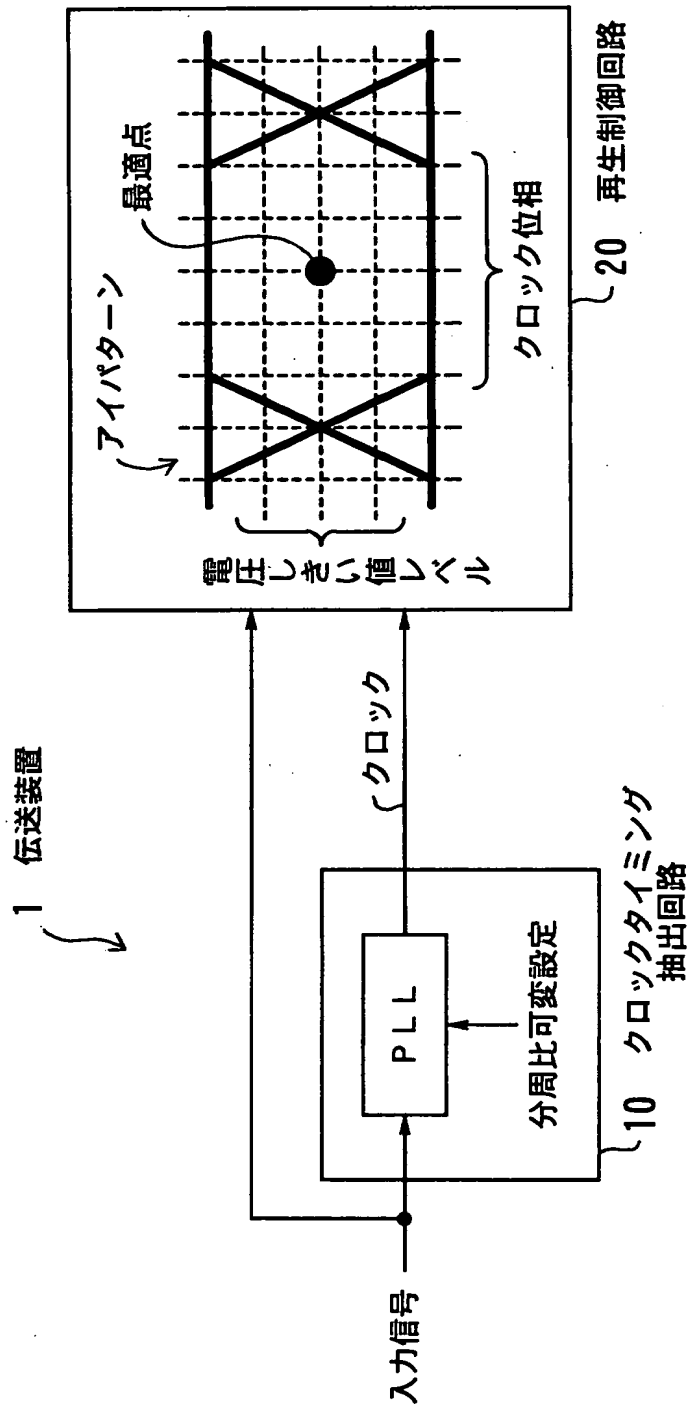
1 伝送装置

1 0 クロックタイミング抽出回路

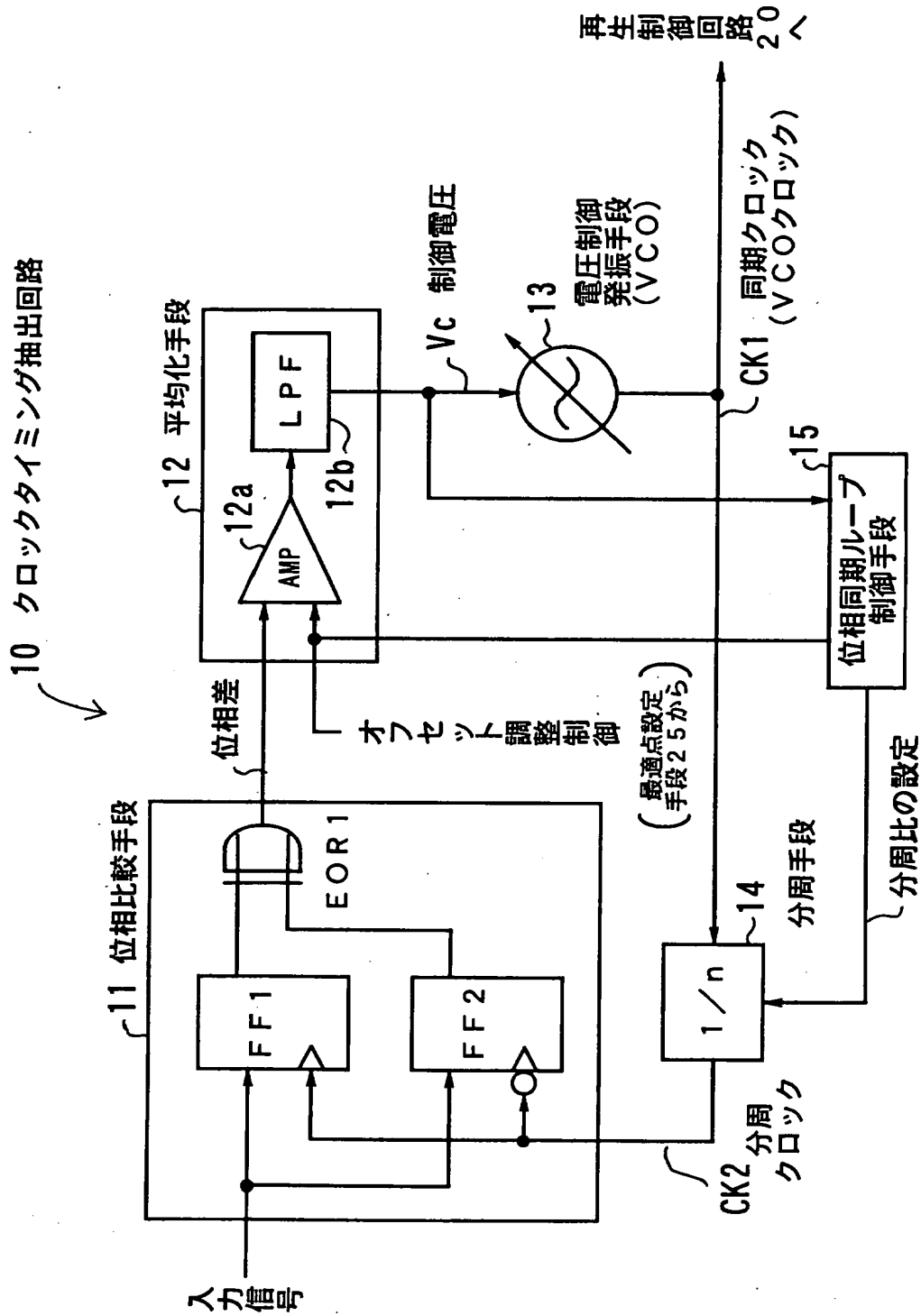
2 0 再生制御回路

【書類名】 図面

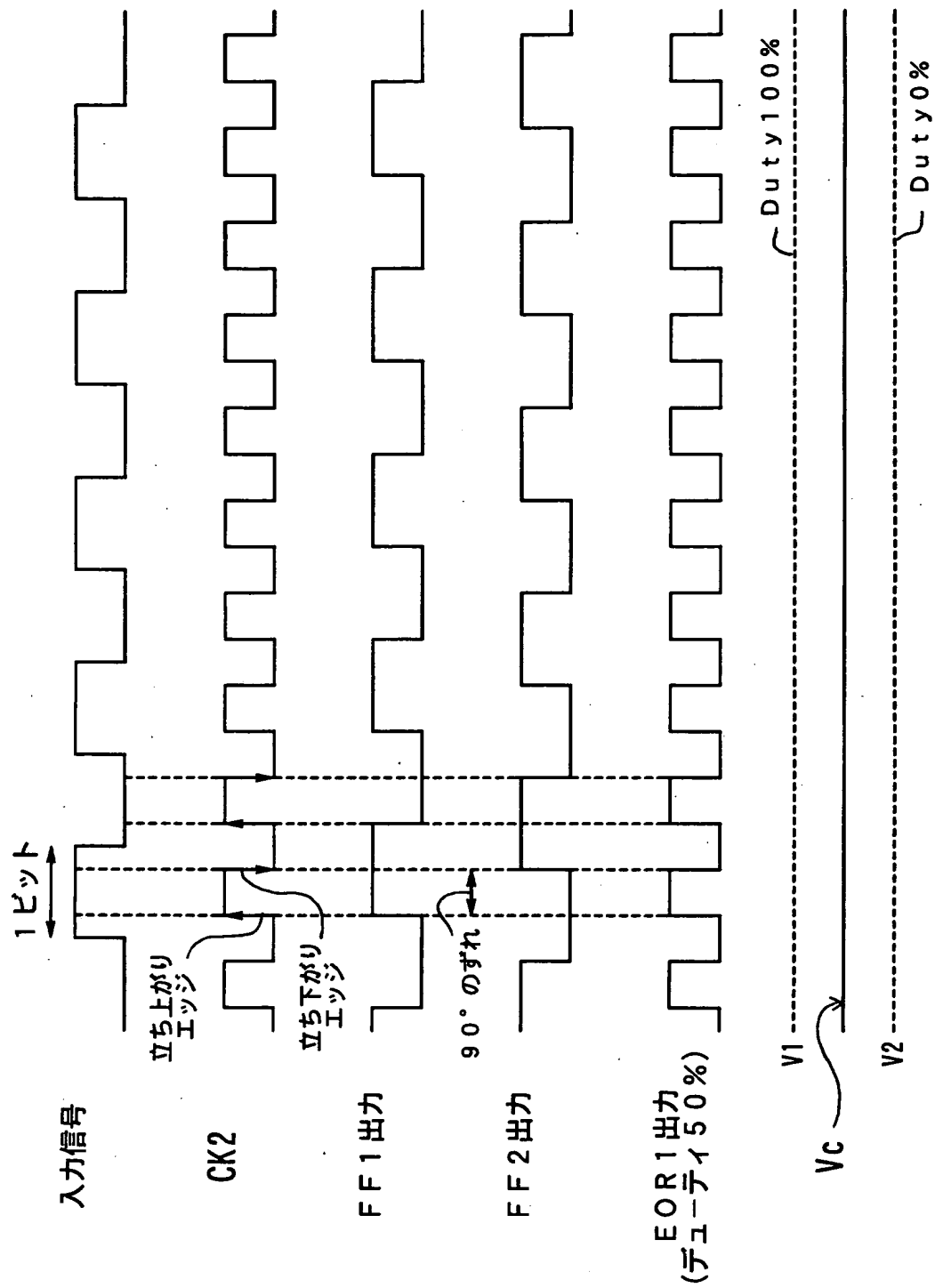
【図 1】



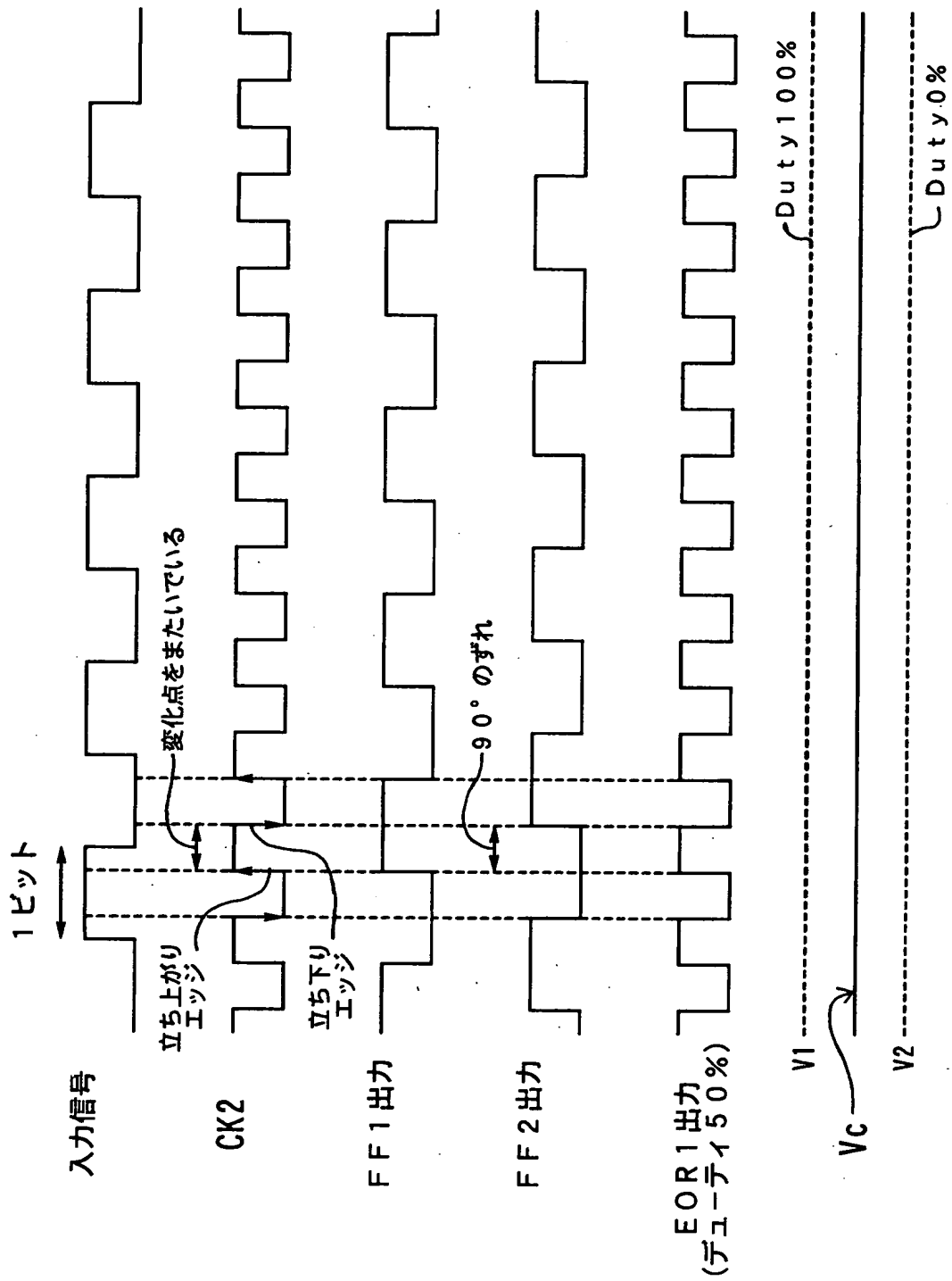
【図 2】



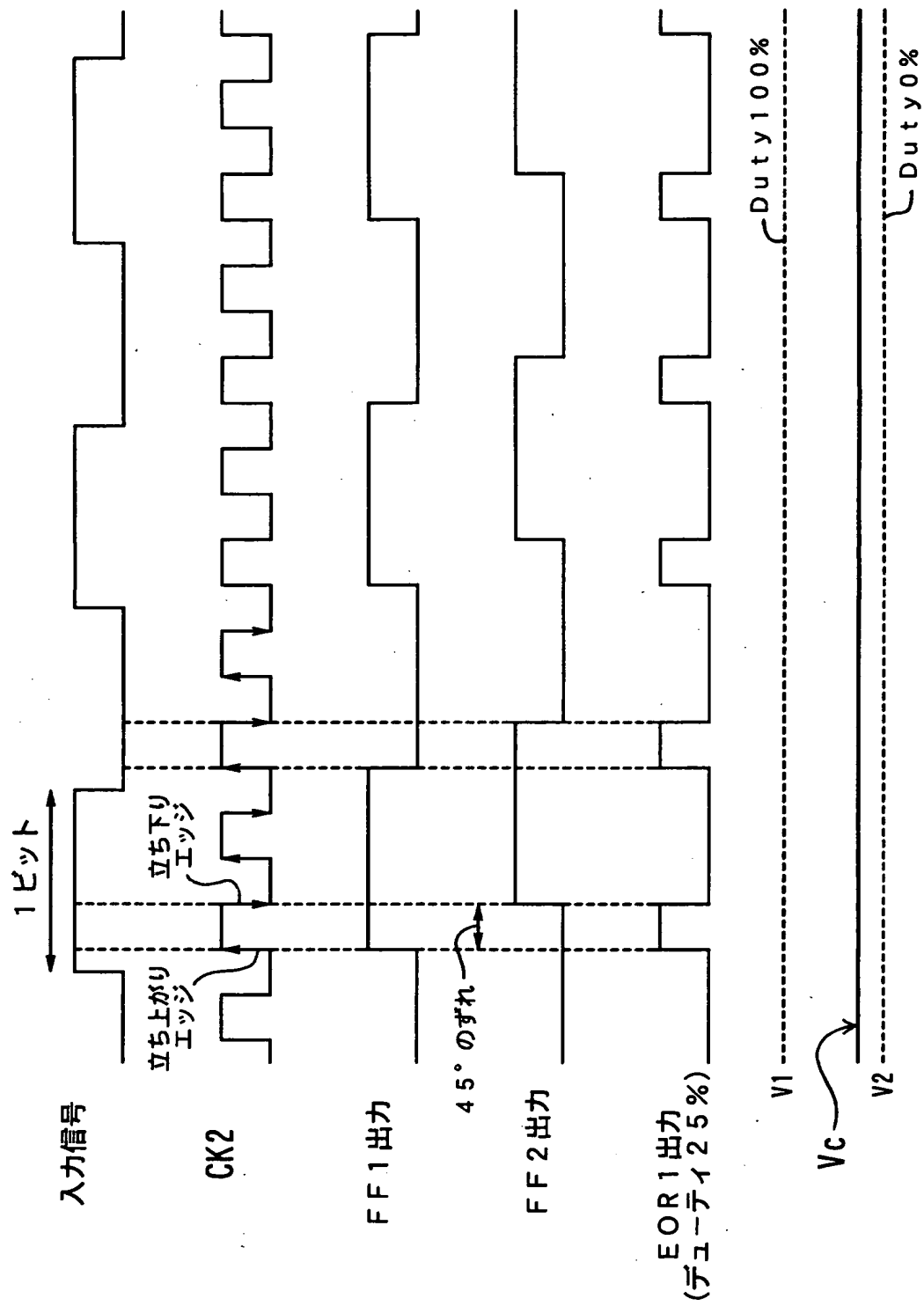
【図 3】



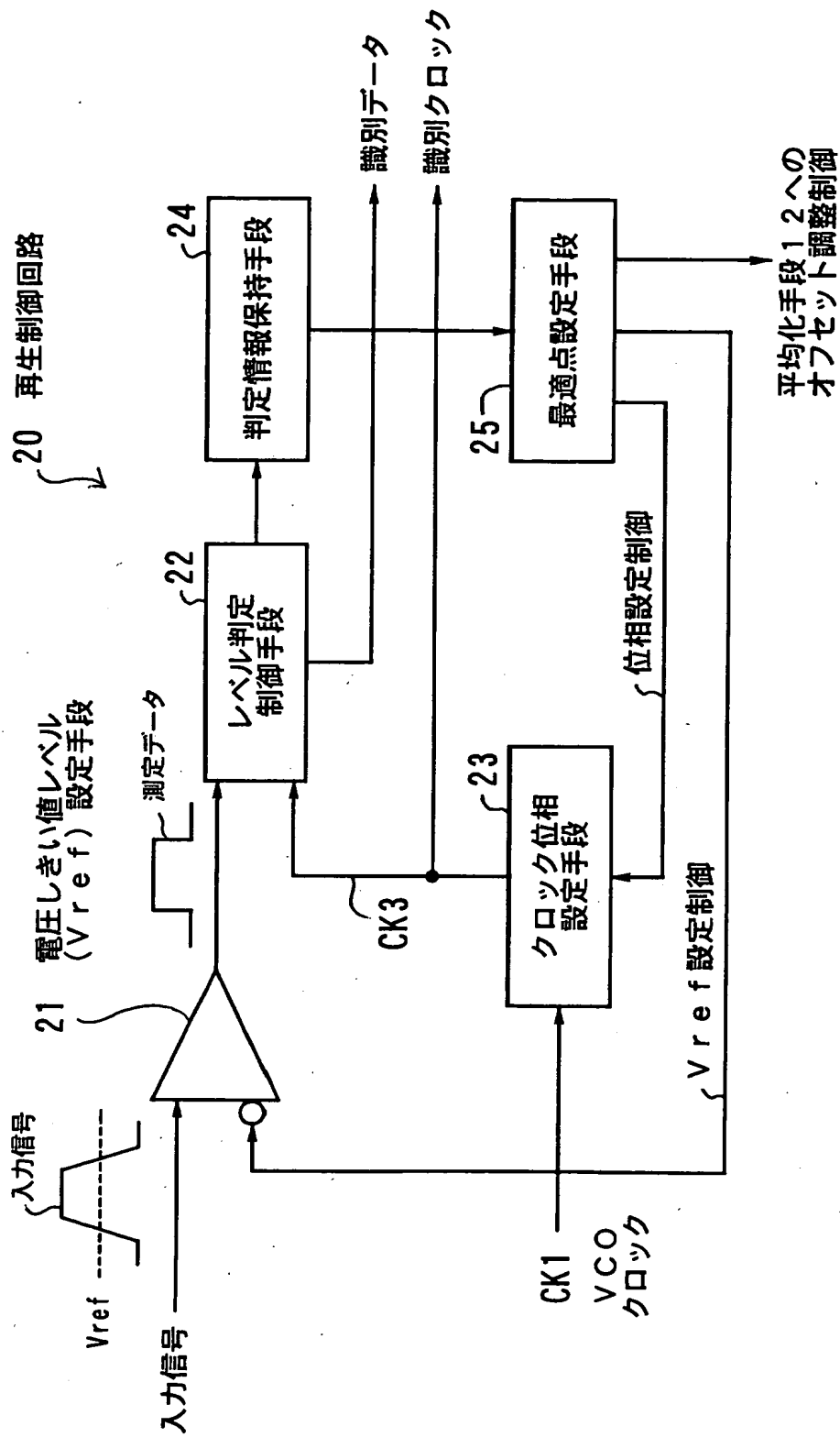
【図 4】



【図 5】

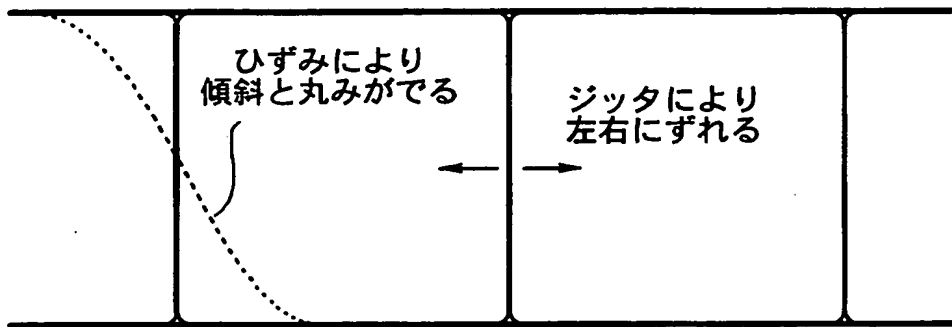


【図 6】

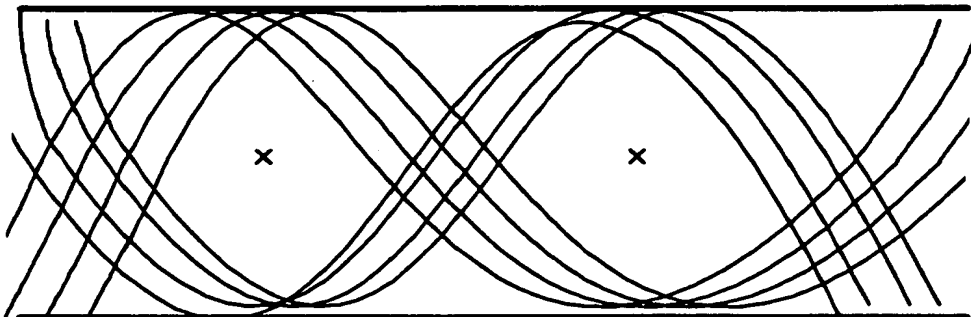


【図 7】

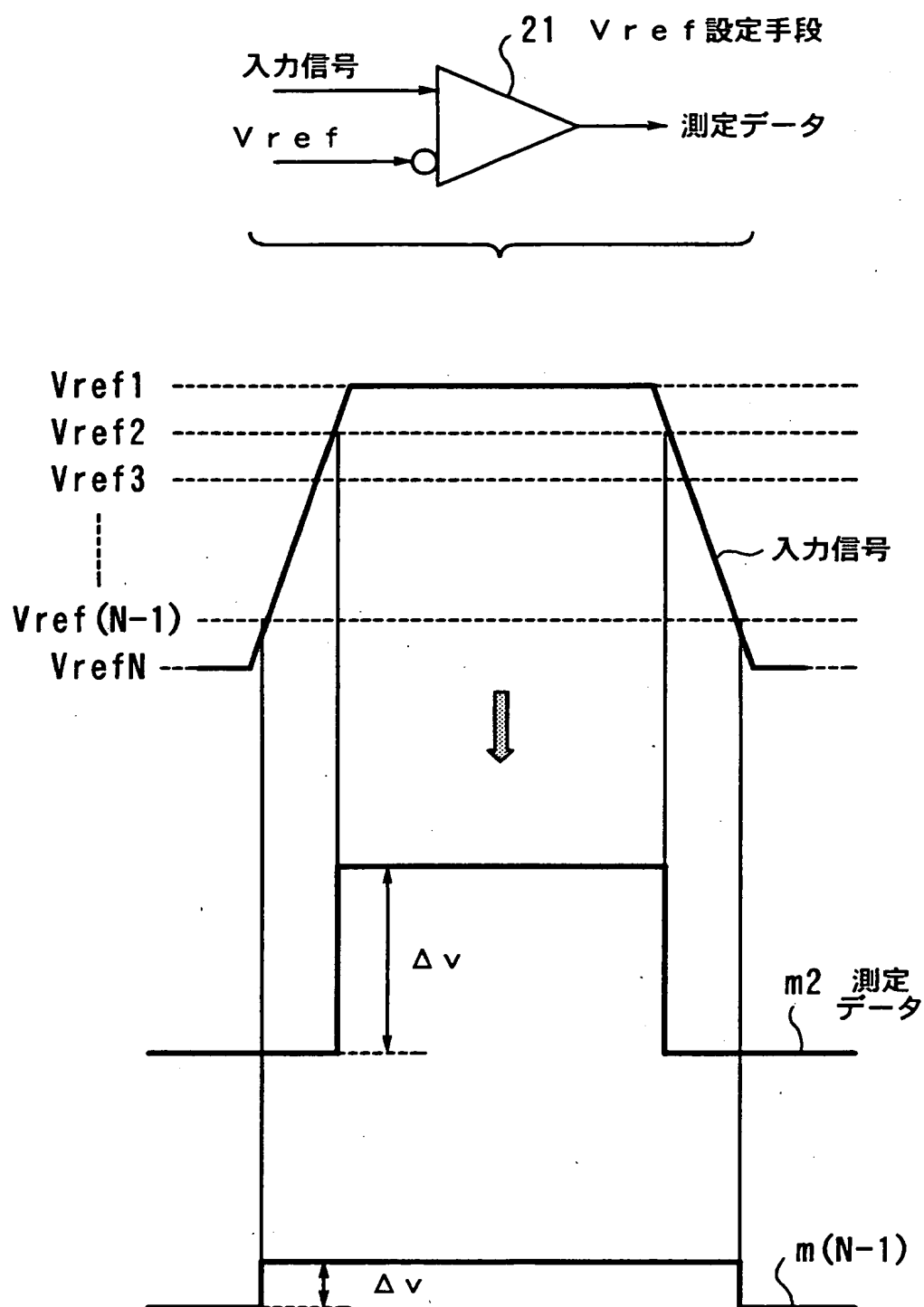
(A) 理想的なアイパターンイメージ



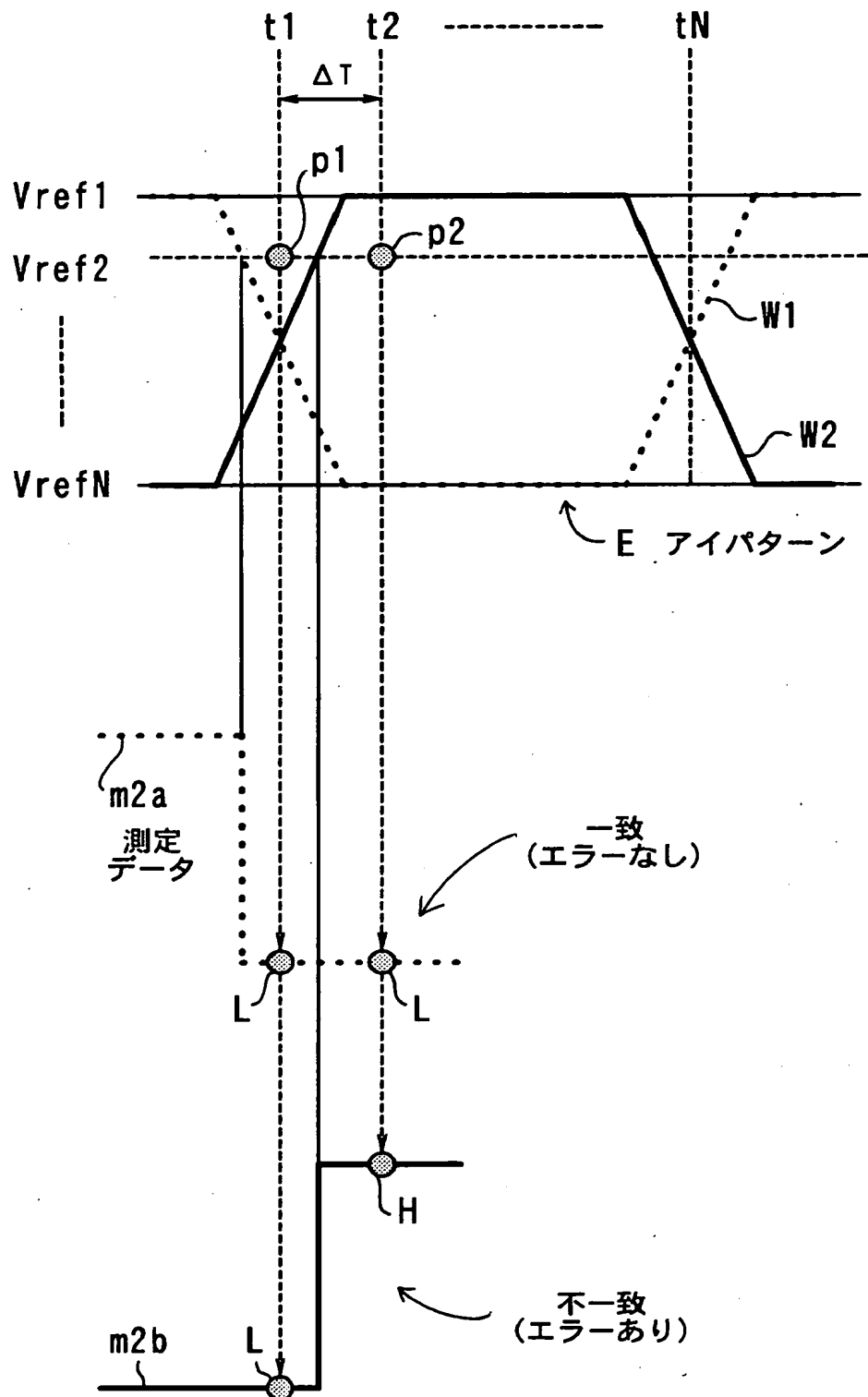
(B) 実際のアイパターンイメージ



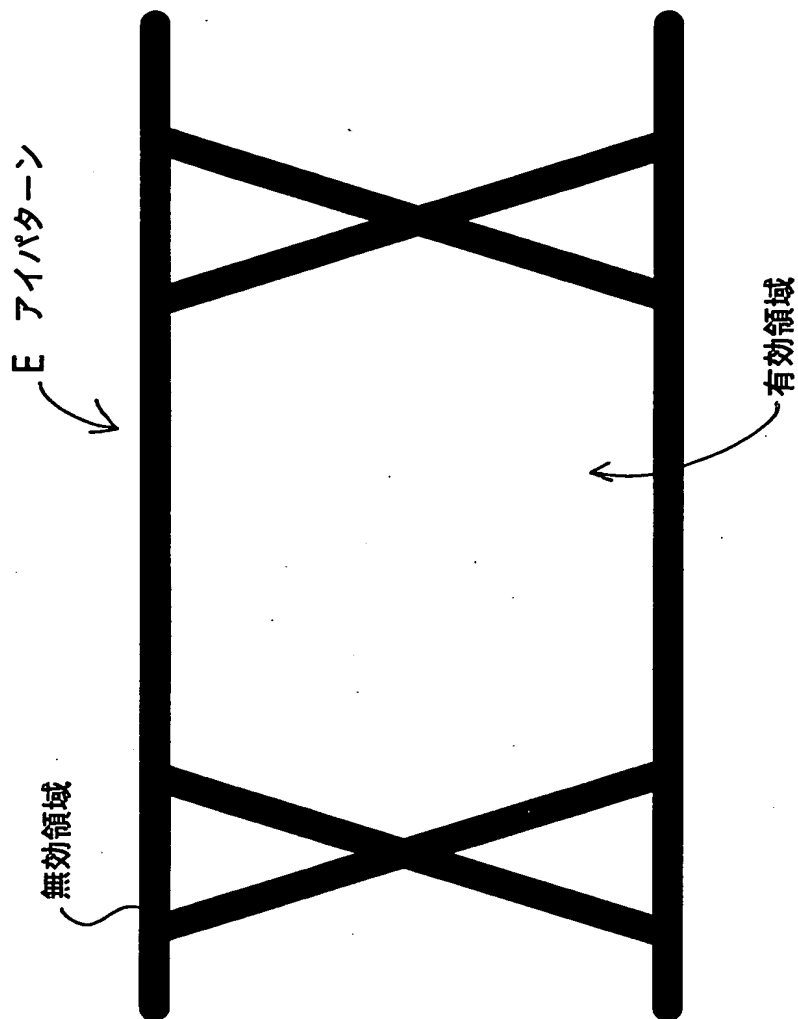
【図 8】



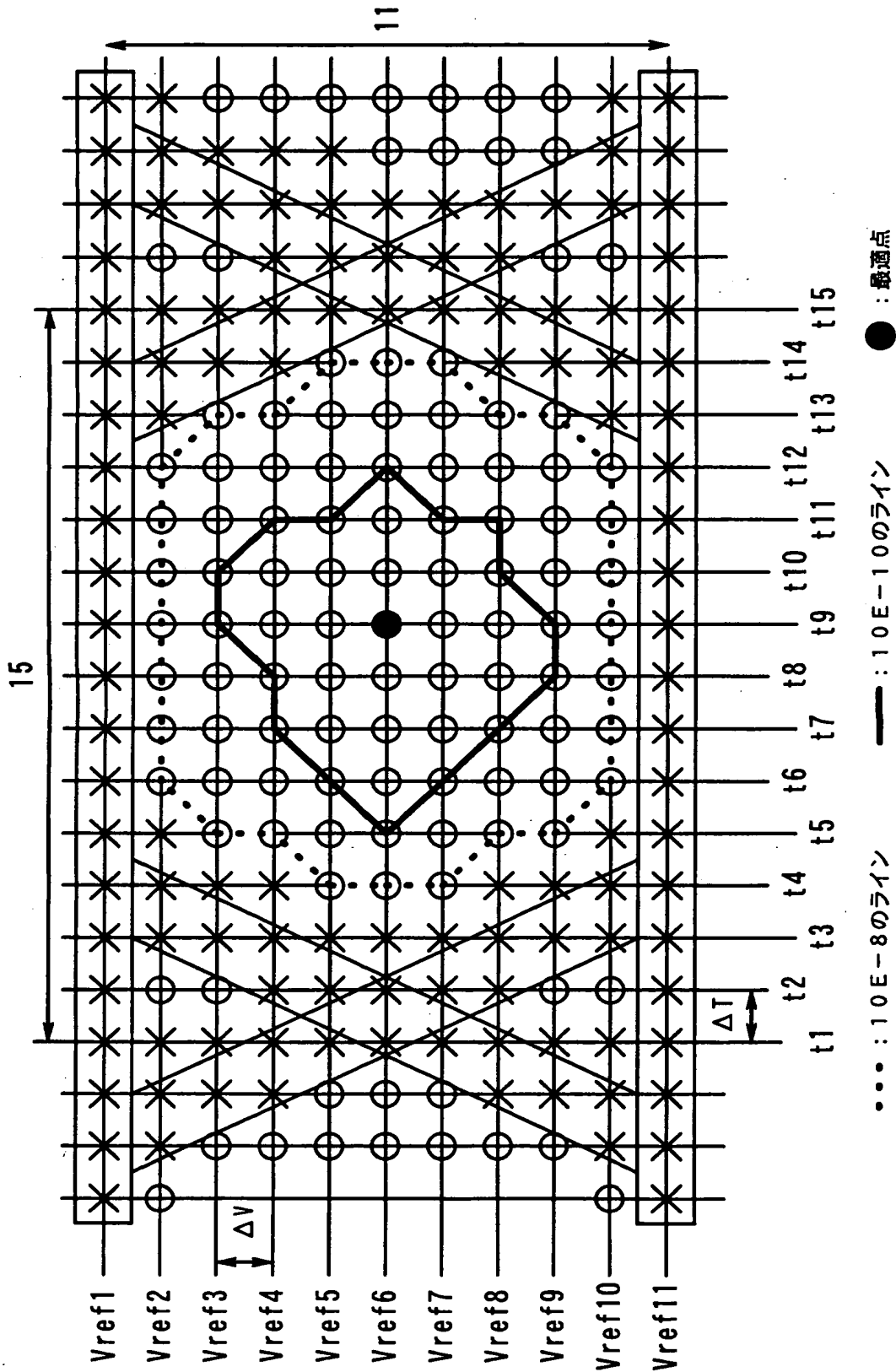
【図 9】



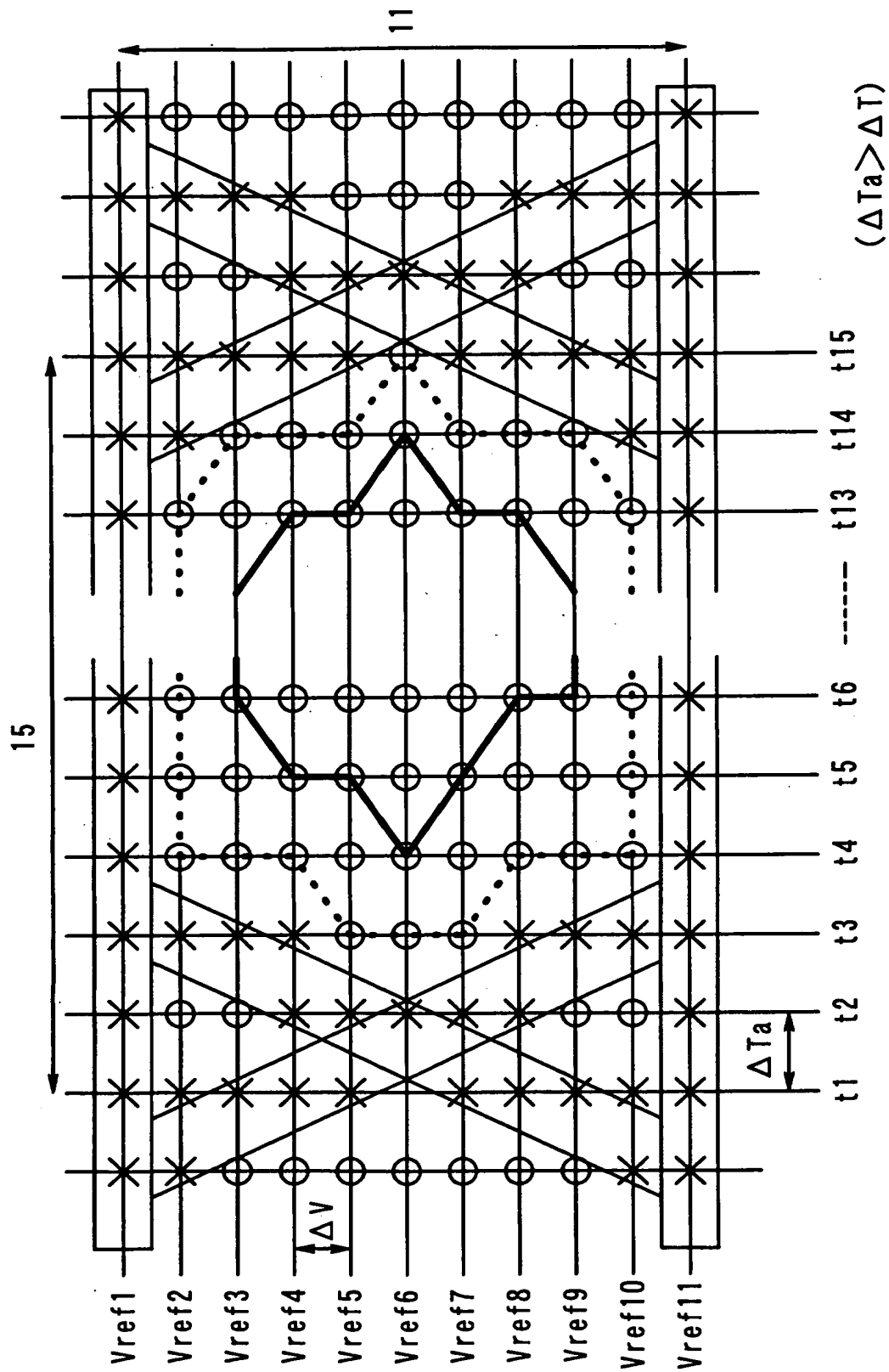
【図 1 0】



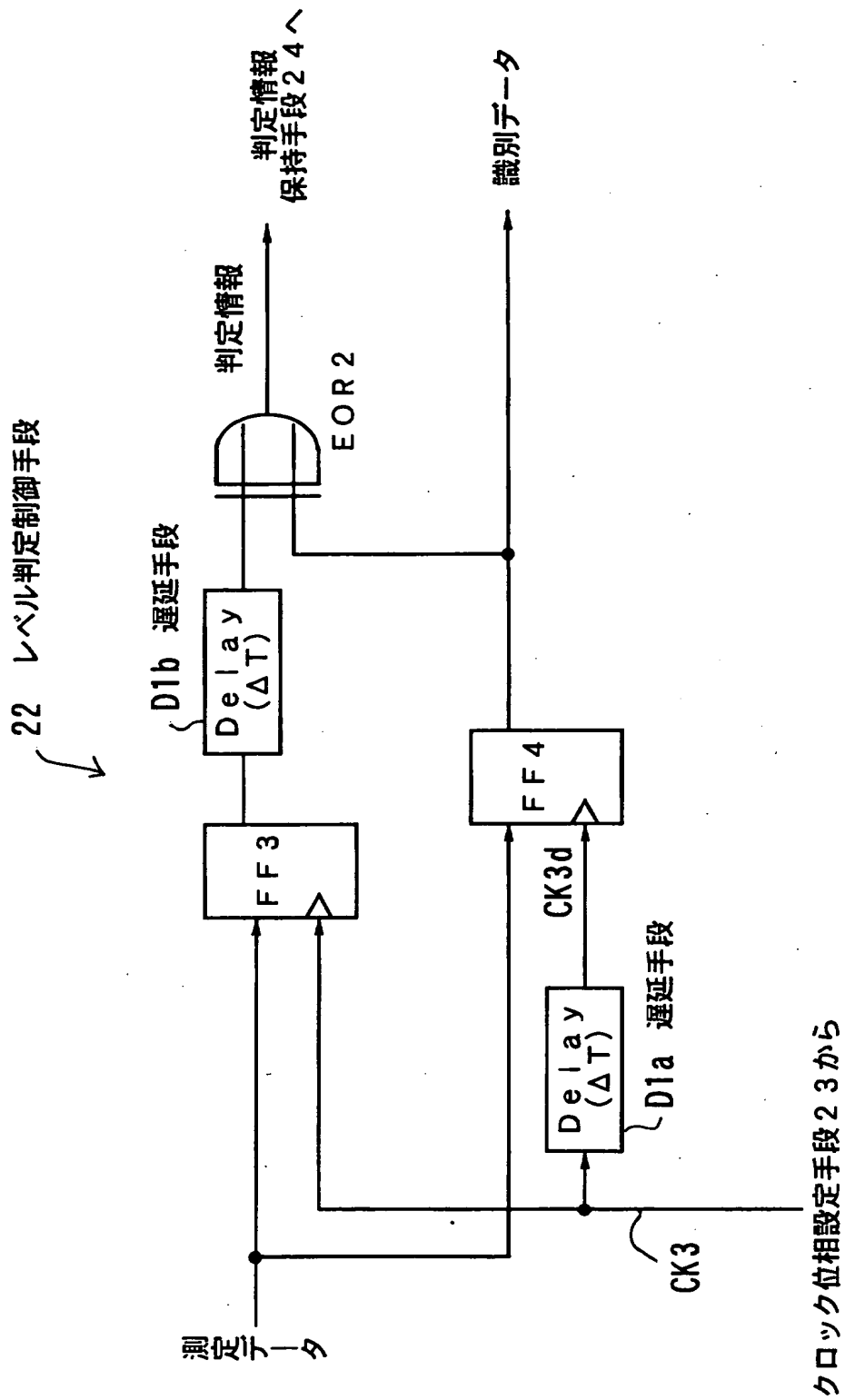
【図 11】



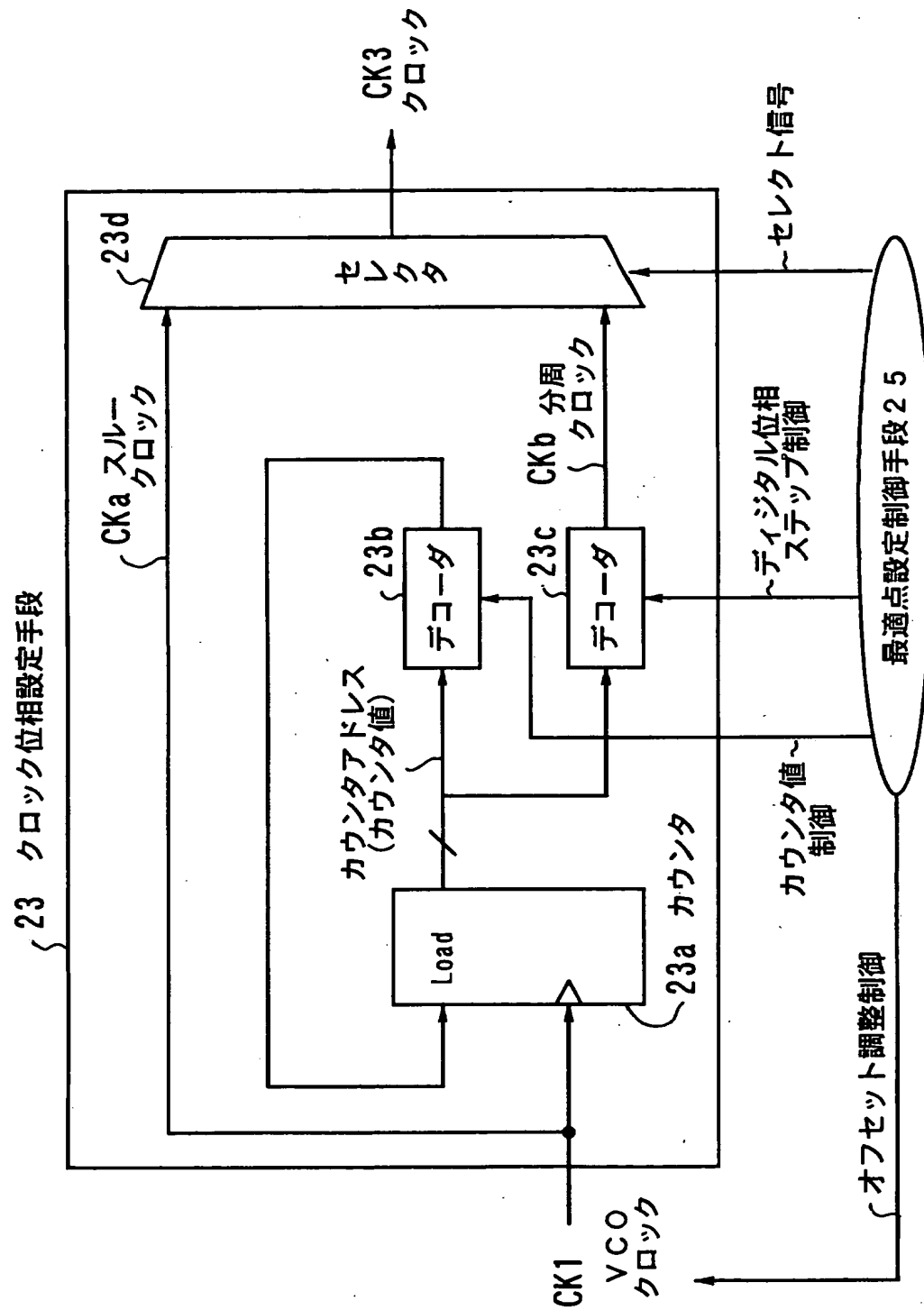
【図 12】



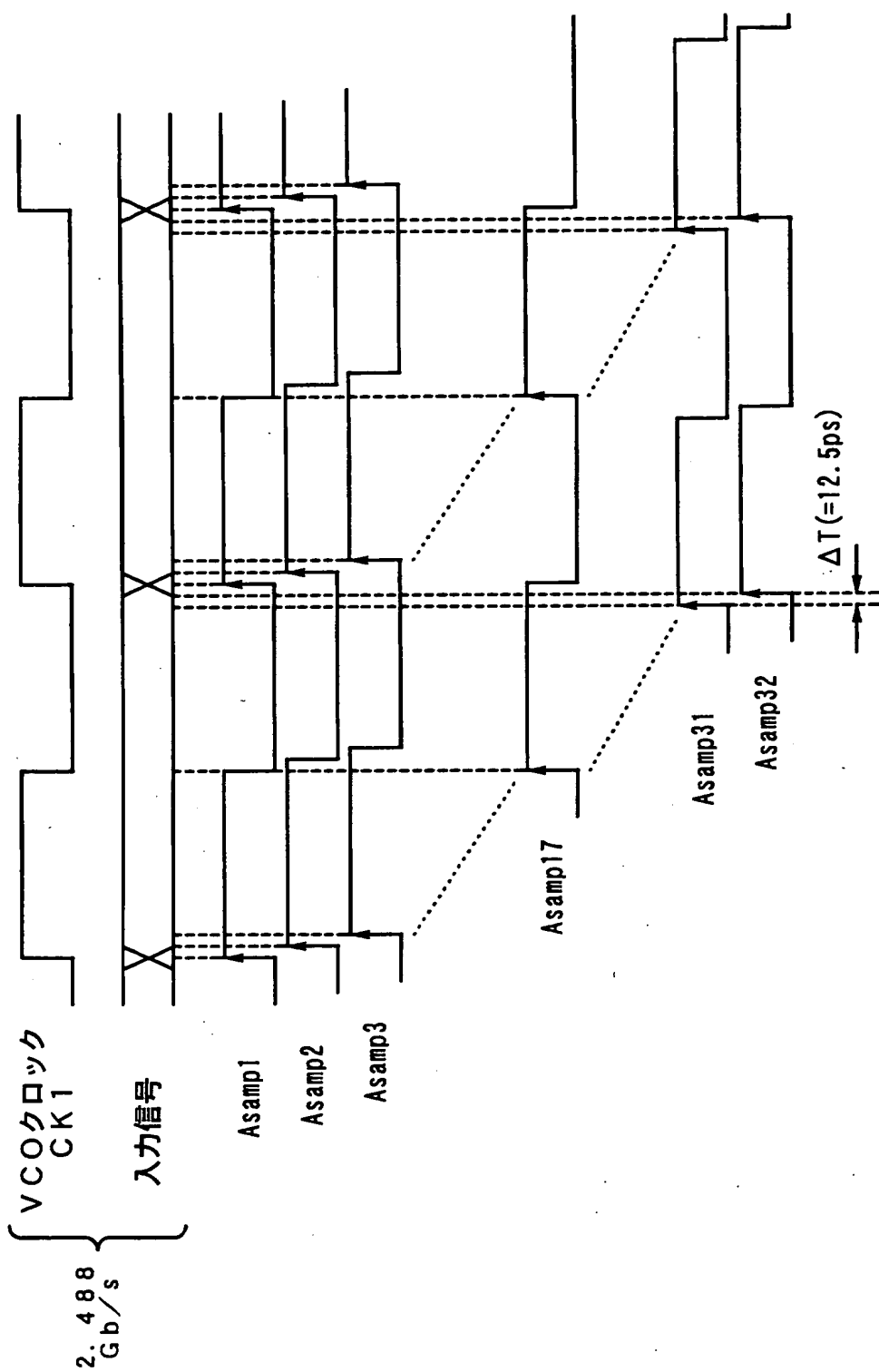
【図 13】



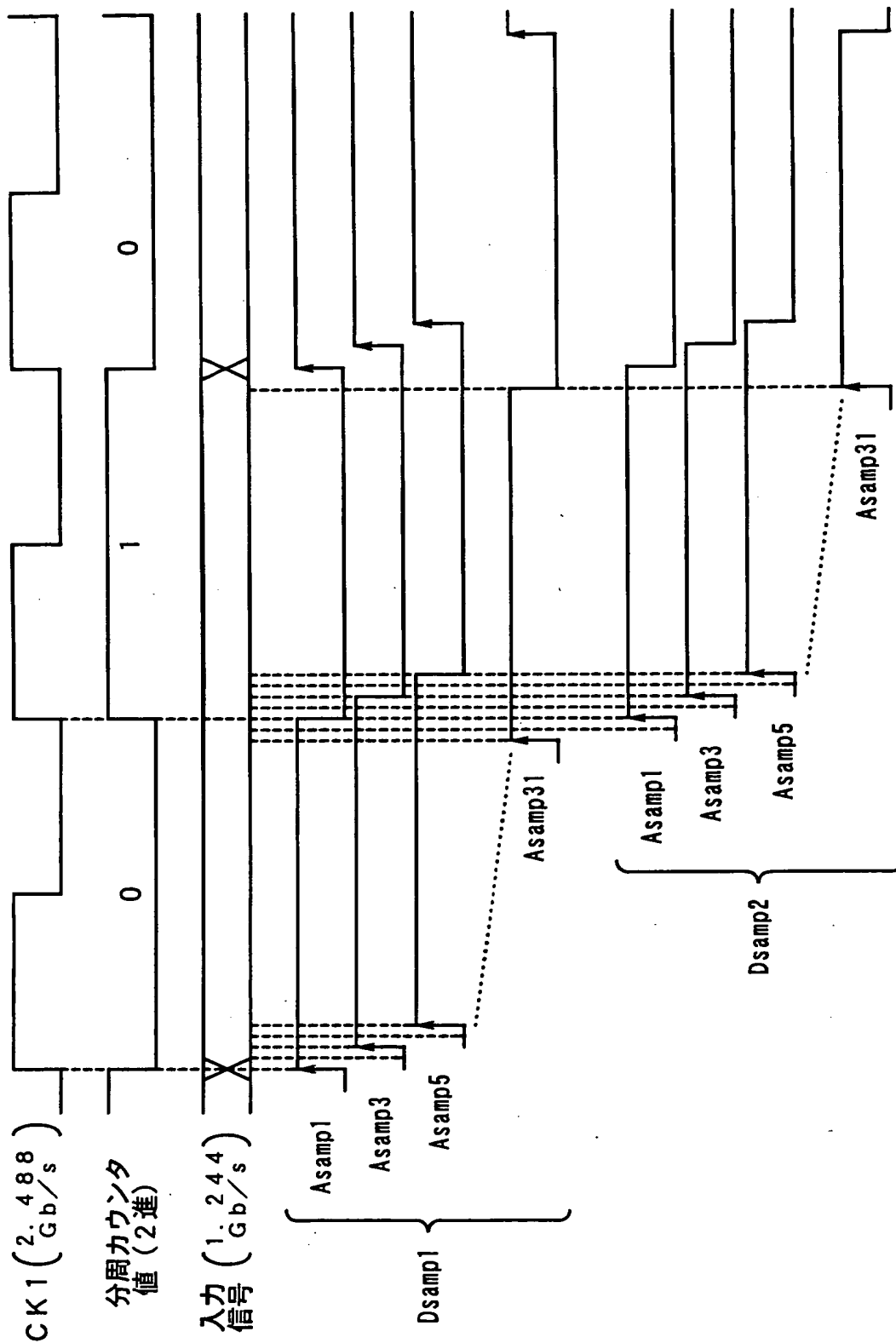
【図14】



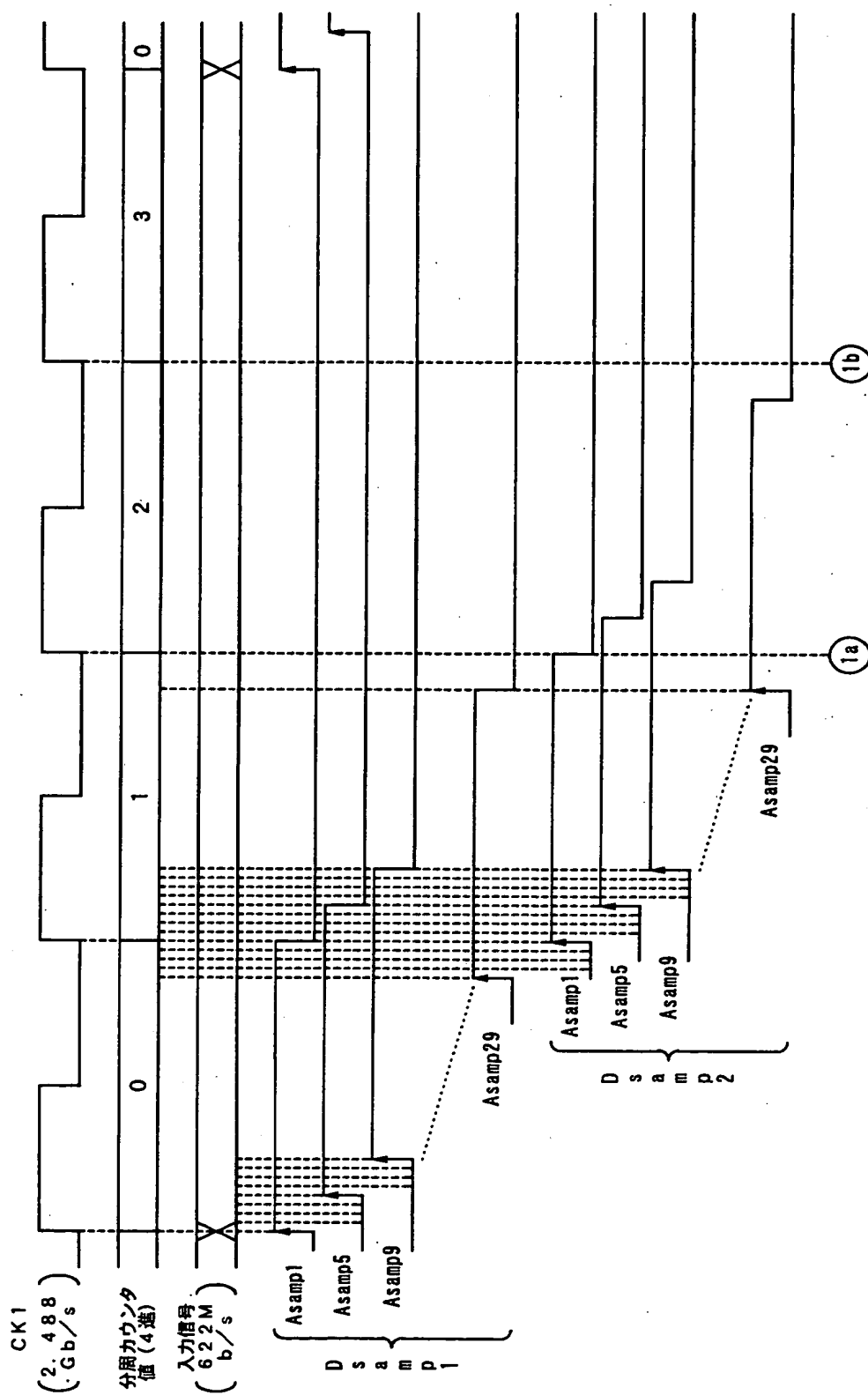
【図15】



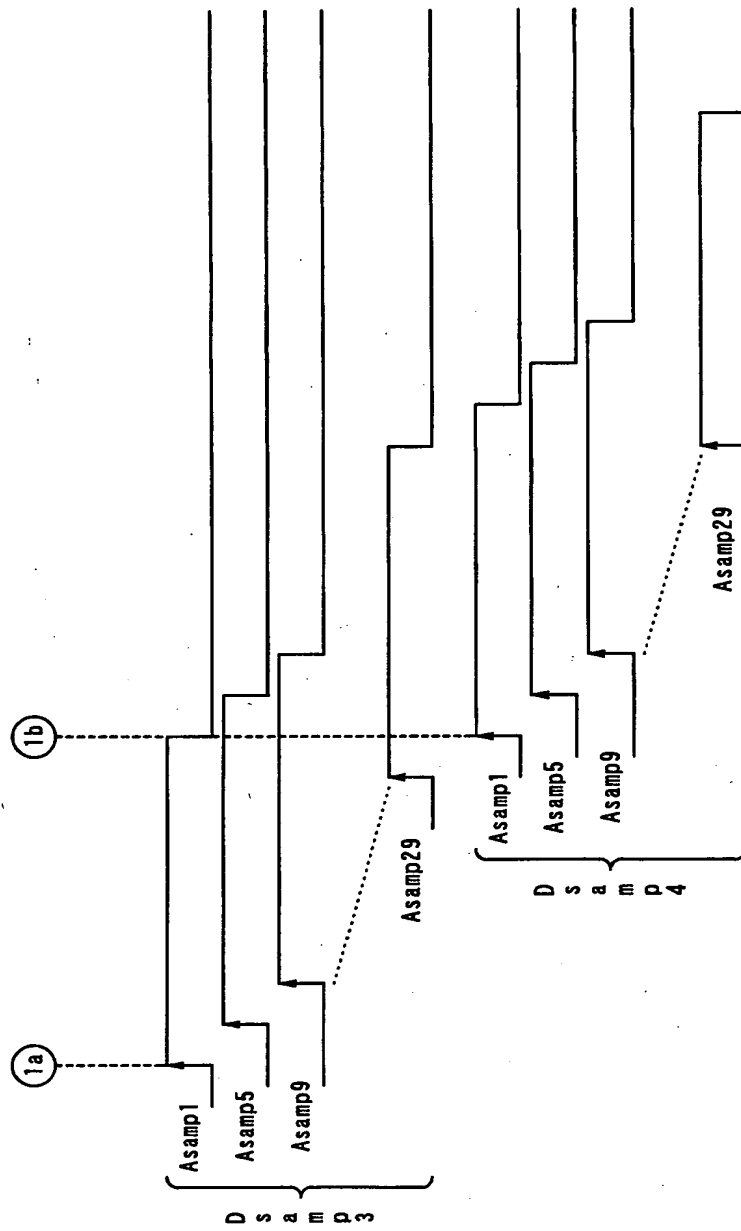
【図 16】



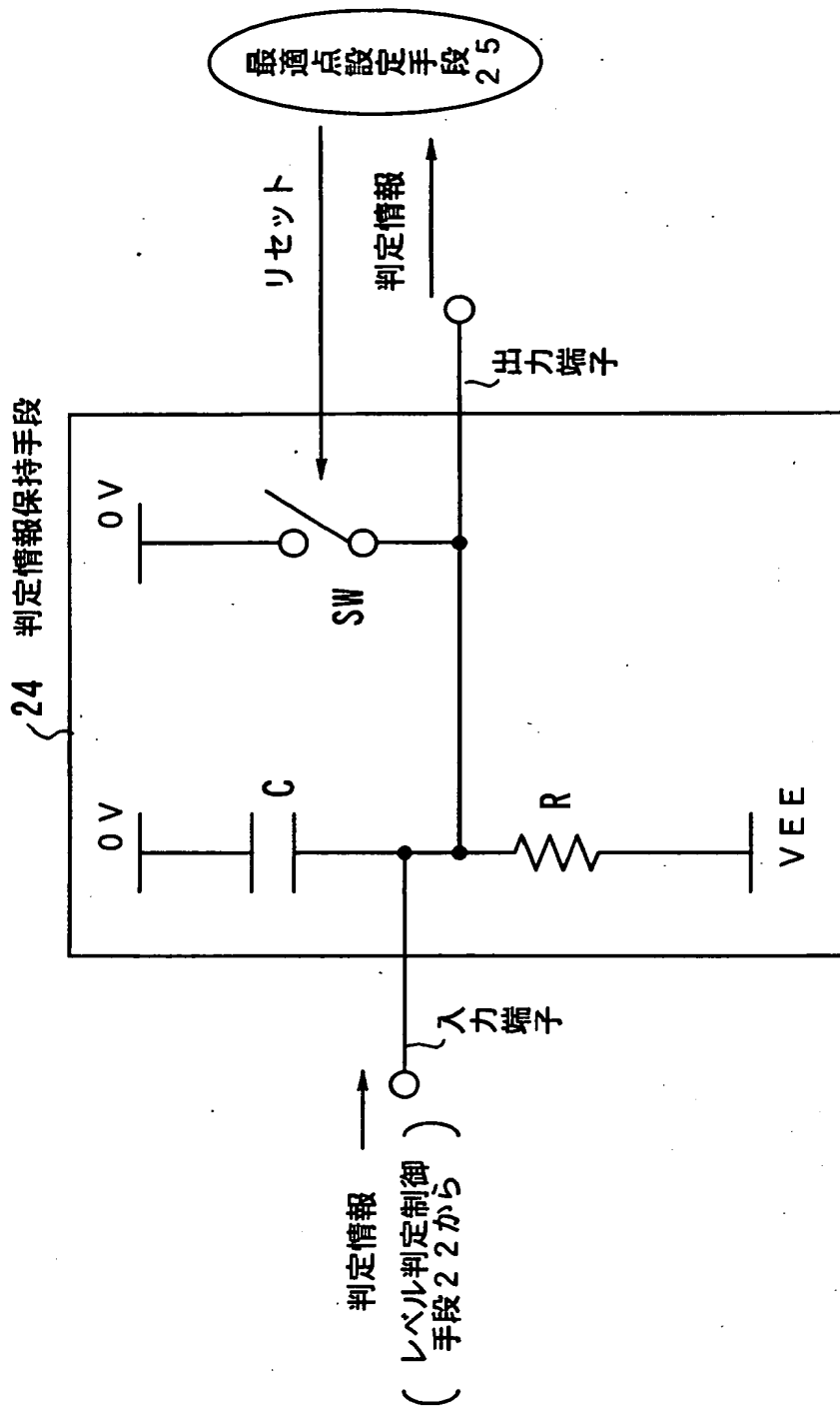
【図17】



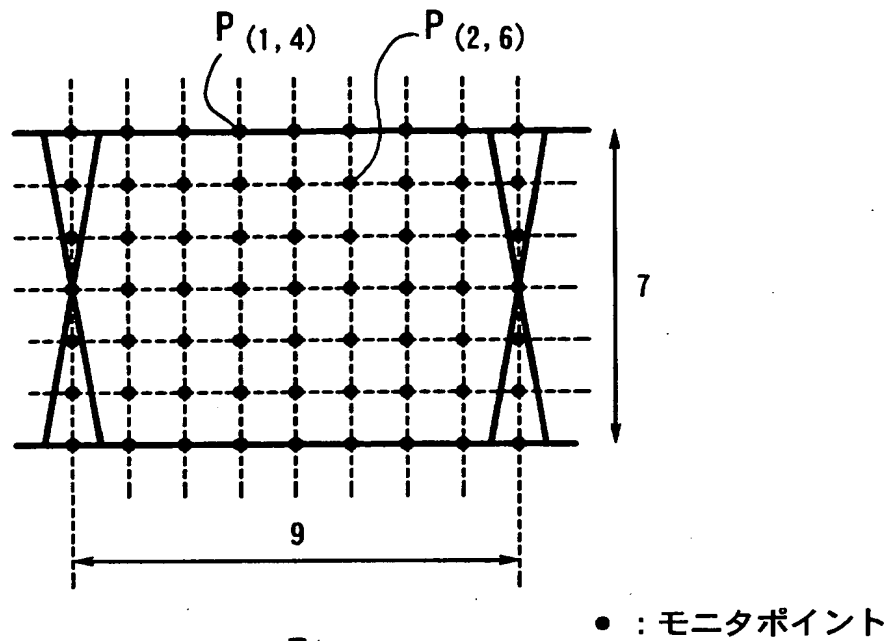
【図18】



【図 19】



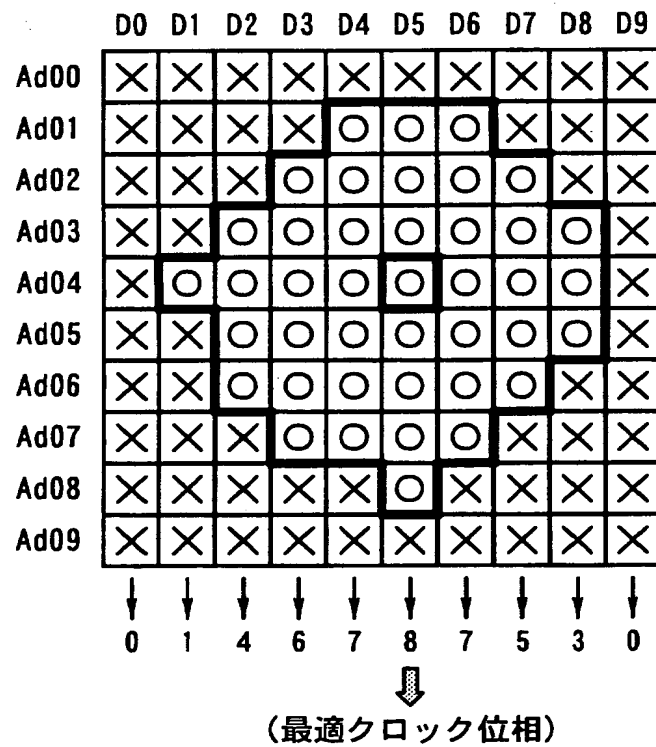
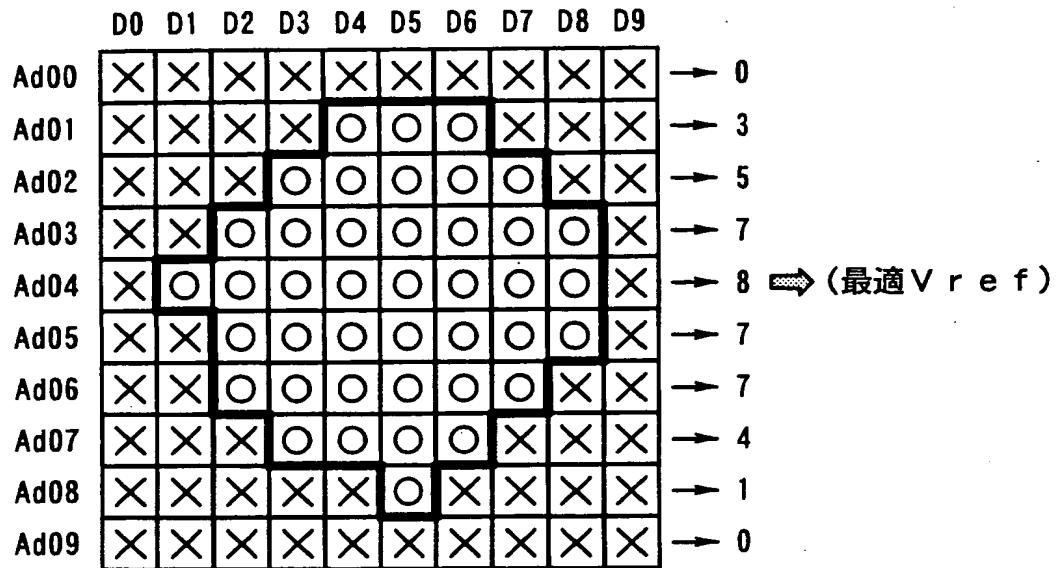
【図 2 0】



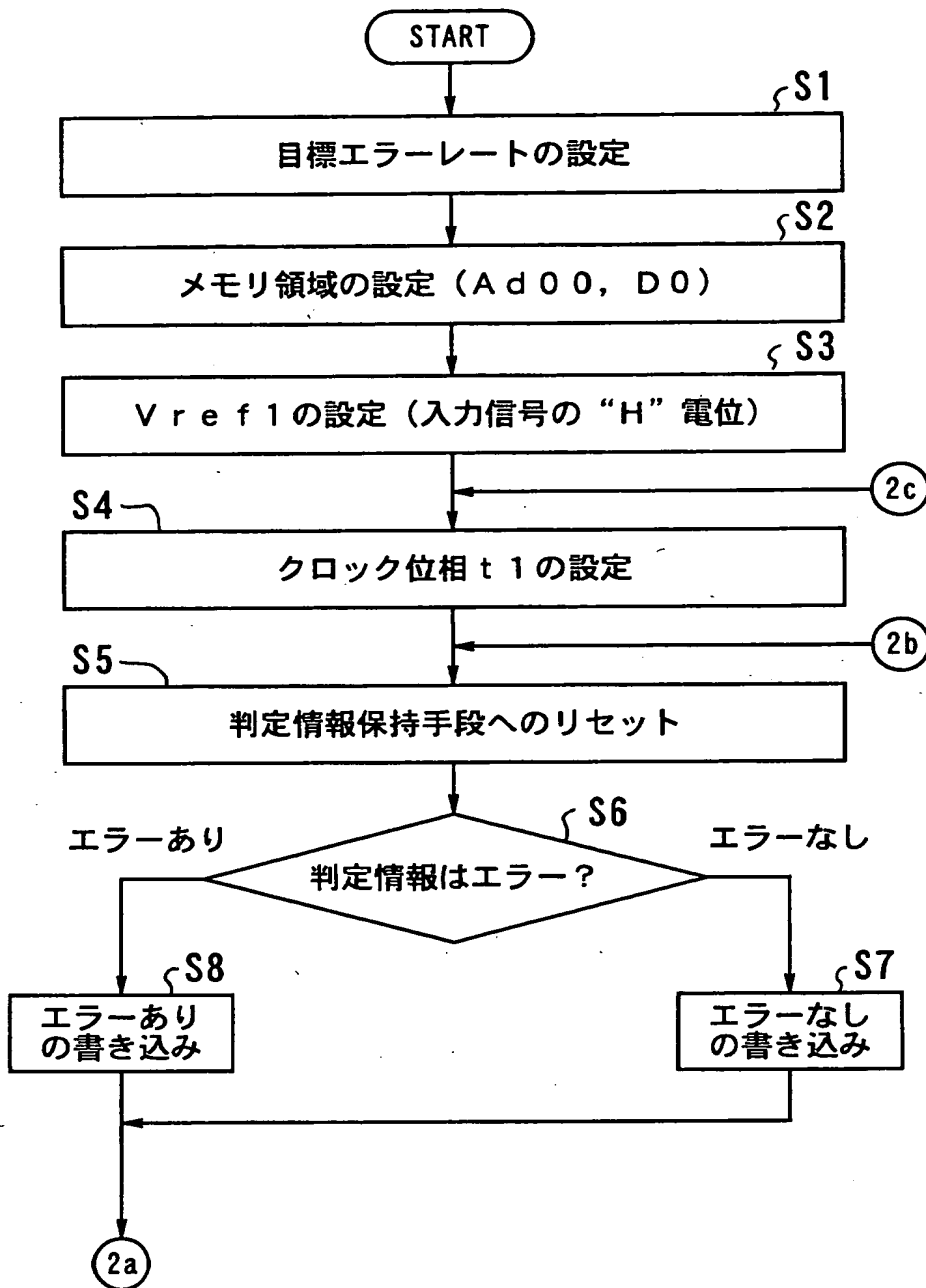
	D0	D1	D2	D3	D4	D5	D6	D7	D8
Ad00				$P(1,4)$					
Ad01						$P(2,6)$			
Ad02									
Ad03									
Ad04									
Ad05									
Ad06									

□ : 1 モニタポイントにおける
レベル判定情報の格納領域

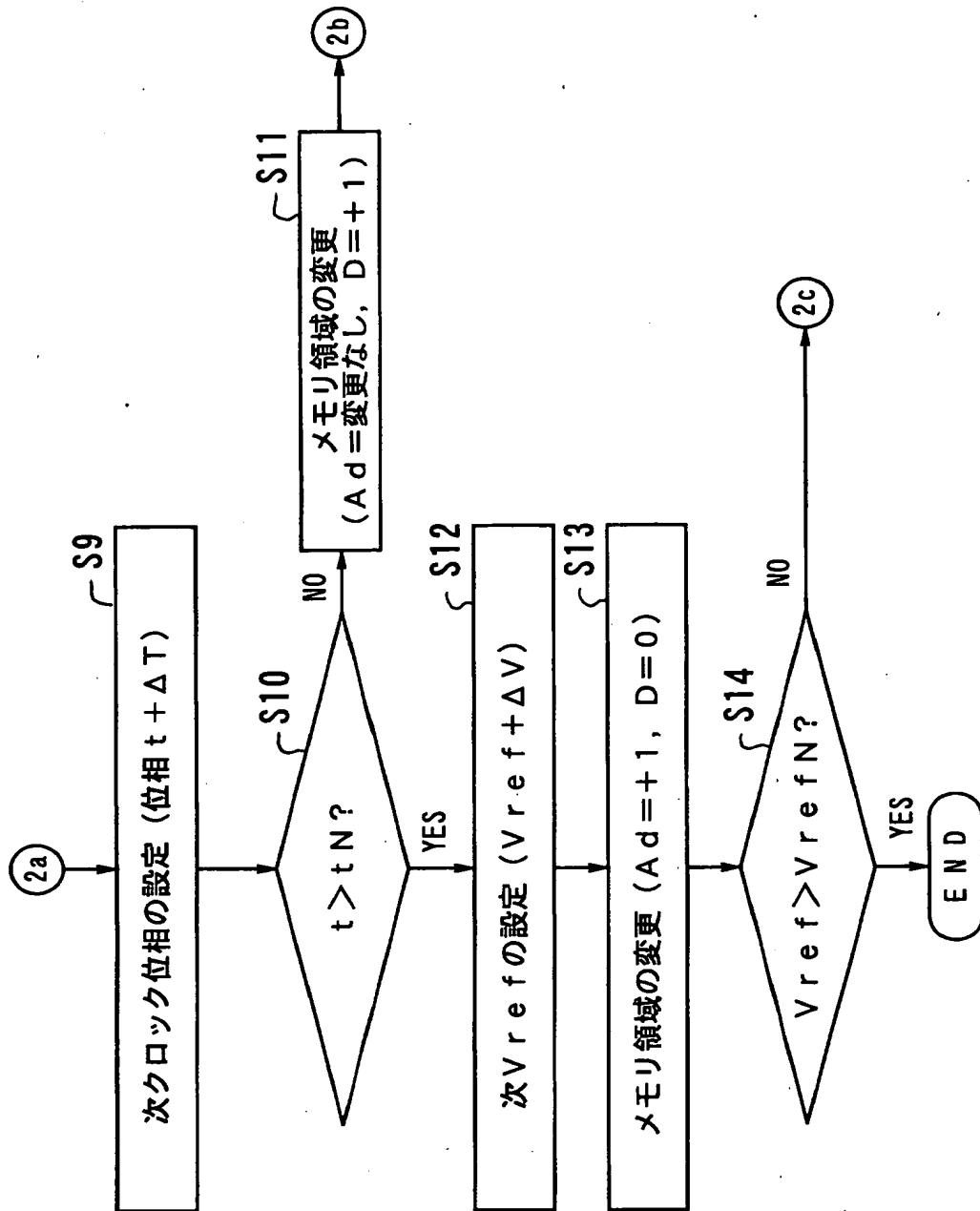
【図 2 1】



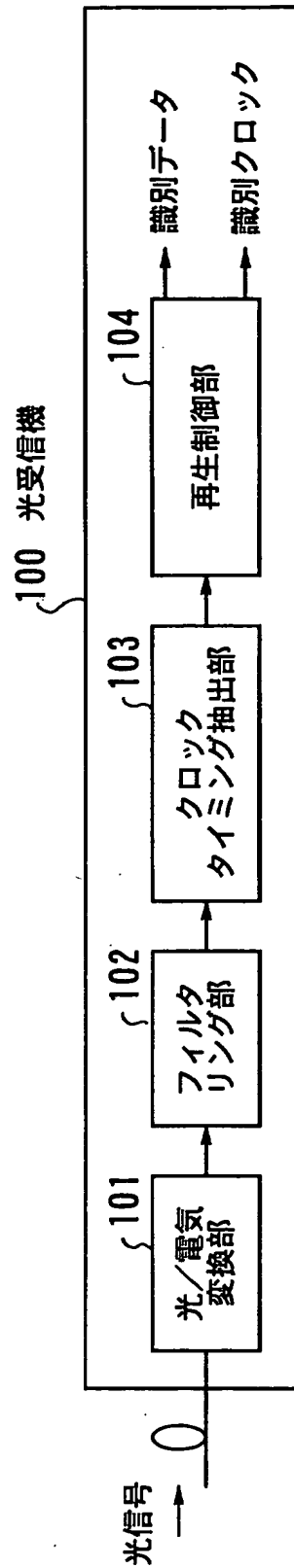
【図 2 2】



【図 23】



【図 24】



【書類名】 要約書

【要約】

【課題】 装置に汎用性を持たせ、かつ最適点設定を自動的に高精度に行って、信号の再生制御の信頼性及び品質の向上を図る。

【解決手段】 クロックタイミング抽出回路 1 0 は、入力信号の伝送レートにもとづいて、分周比を可變的に設定して、入力信号と発振出力との位相差が一定になるように位相同期制御を行い、伝送レートに応じたクロックタイミングを抽出する。再生制御回路 2 0 は、入力信号に対し、電圧しきい値レベルと、抽出したクロックの位相とを順次スイープさせ、隣り合うモニタポイントのレベルが一致するか否かの判定を行って、アイパターンの有効領域内での最もエラー発生の低い識別点を自動測定し、その識別点を最適点として再生制御を行う。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社